

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomoharu TANAKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE, ELECTRONIC CARD USING THE  
SAME AND ELECTRONIC APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-114762	April 18, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 4 月 1 8 日

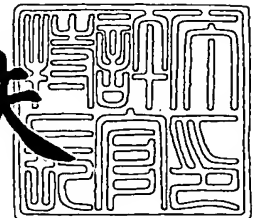
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 1 4 7 6 2  
[ST. 10/C]: [ J P 2 0 0 3 - 1 1 4 7 6 2 ]

出 願 人  
Applicant(s): サンディスク コーポレイション  
株式会社東芝

2 0 0 4 年 3 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 3 6 4 2

【書類名】 特許願

【整理番号】 A000300475

【提出日】 平成15年 4月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 17/00

【発明の名称】 不揮発性半導体記憶装置およびそれを用いた電子カード  
と電子装置

【請求項の数】 45

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
        イクロエレクトロニクスセンター内

    【氏名】 田中 智晴

【発明者】

    【住所又は居所】 アメリカ合衆国、 9 4 0 8 9、 カリフォルニア州、  
        サニーベール、 カスピアン コート 1 4 0

    【氏名】 カンカー・クァダ

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
        イクロエレクトロニクスセンター内

    【氏名】 堂前 宏之

【発明者】

    【住所又は居所】 東京都港区芝浦一丁目1番1号 株式会社東芝本社事務  
        所内

    【氏名】 井上 敦史

【発明者】

    【住所又は居所】 東京都港区芝浦一丁目1番1号 株式会社東芝本社事務  
        所内

    【氏名】 佐藤 雄亮

## 【特許出願人】

【識別番号】 592012513  
【氏名又は名称】 サンディスク コーポレーション  
【国籍】 アメリカ合衆国

## 【特許出願人】

【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝

## 【代理人】

【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181

## 【選任した代理人】

【識別番号】 100091351  
【弁理士】  
【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683  
【弁理士】  
【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855  
【弁理士】  
【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618  
【弁理士】  
【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置

【特許請求の範囲】

【請求項 1】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、

前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、

前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、

前記インターフェイス部と制御回路は、

第 1 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、  
(N+M) (N は 2 の n 乗、n は正の整数、 $N > M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 1 の読み出しモードと、

第 2 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、  
K (K は 2 の k 乗、k は正の整数) バイトのデータを連続して前記インターフェイス部を介して出力する第 2 の読み出しモード

とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 の読み出しモードは、前記データを連続して出力した後に自動的に出力待機状態となり、前記第 2 の読み出しモードは、前記データを連続して出力した後に自動的に通常の動作モードとなる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記複数の不揮発性半導体メモリセルは、システム起動プログラムが格納された ROM エリアとそれ以外のエリアを持ち、前記第 2 の読み出しモードでは前記 ROM エリアから K ( $K > N$ ) バイトのデータが読み出されることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 2 の読み出しモードは、外部からのハードウェアリセット信号により起動されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 2 の読み出しモードは、外部からのソフトウェアリセ

ットコマンドに基づいて起動されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 6】 前記第 2 の読み出しモード中は前記インターフェイス部に入力される信号の一部が無効にされることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 7】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、

前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、

前記不揮発性半導体メモリセルの書き込みデータ／読み出しデータに対して誤り訂正を行う誤り訂正回路と、

前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、

前記インターフェイス部と誤り訂正回路と制御回路は、

第 1 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、  
( $N+M$ ) ( $N$  は 2 の  $n$  乗、 $n$  は正の整数、 $N>M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 1 の読み出しモードと、

第 2 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、誤り訂正を行った後に  $K$  ( $K$  は 2 の  $k$  乗、 $k$  は正の整数) バイトのデータを連続して前記インターフェイス部を介して出力する第 2 の読み出しモード

とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 8】 前記第 1 の読み出しモードは、前記データを連続して出力した後に自動的に出力待機状態となり、前記第 2 の読み出しモードは、前記データを連続して出力した後に自動的に通常の動作モードとなる

ことを特徴とする請求項 7 記載の不揮発性半導体記憶装置。

【請求項 9】 前記複数の不揮発性半導体メモリセルは、システム起動プログラムが格納された ROM エリアとそれ以外のエリアを持ち、前記第 2 の読み出しモードでは前記 ROM エリアから  $K$  ( $K>N$ ) バイトのデータが読み出されることを特徴とする請求項 7 または 8 記載の不揮発性半導体記憶装置。

【請求項 10】 前記第 2 の読み出しモードは、外部からのハードウェアリ

セット信号により起動されることを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 1 1】 前記第 2 の読み出しモードは、外部からのソフトウェアリセットコマンドに基づいて起動されることを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 1 2】 前記第 2 の読み出しモード中は前記インターフェイス部に入力される信号の一部が無効にされることを特徴とする請求項 7 乃至 1 0 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 1 3】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、

前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、

前記不揮発性半導体メモリセルの書き込みデータ／読み出しデータに対して誤り訂正を行う誤り訂正回路と、

前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、

前記インターフェイス部と誤り訂正回路と制御回路は、

第 1 の起動手順を経て前記インターフェイス部を介して入力される  $(N+M)$  ( $N$  は 2 の  $n$  乗、 $n$  は正の整数、 $N > M$ ) バイトのデータを取り込み、このデータを一括して前記複数のメモリセルに書き込む第 1 の書き込みモードと、

第 2 の起動手順を経て前記インターフェイス部を介して入力される  $K$  ( $K$  は 2 の  $k$  乗、 $k$  は正の整数) バイトのデータを取り込み、このデータに対して誤り訂正するための検査コードを自動的に発生させ、前記  $K$  バイトのデータと前記検査コードを一括して前記複数のメモリセルに書き込む第 2 の書き込みモード

とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 1 4】 前記インターフェイス部と誤り訂正回路と制御回路は、

第 3 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、 $(N+M)$  ( $N$  は 2 の  $n$  乗、 $n$  は正の整数、 $N > M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 1 の読み出しモードと、

第 4 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、



誤り訂正を行った後に $K$  ( $K$ は $2$ の $k$ 乗、 $k$ は正の整数) バイトのデータを連続して前記インターフェイス部を介して出力する第 $2$ の読み出しモード

とをさらに有することを特徴とする請求項 $13$ 記載の不揮発性半導体記憶装置。

【請求項 $15$ 】 前記第 $1$ の読み出しモードは、前記データを連続して出力した後に自動的に出力待機状態となり、前記第 $2$ の読み出しモードは、前記データを連続して出力した後に自動的に通常の動作モードとなる

ことを特徴とする請求項 $14$ 記載の不揮発性半導体記憶装置。

【請求項 $16$ 】 前記複数の不揮発性半導体メモリセルは、システム起動プログラムが格納されたROMエリアとそれ以外のエリアを持ち、前記第 $2$ の読み出しモードでは前記ROMエリアから $K$  ( $K > N$ ) バイトのデータが読み出されることを特徴とする請求項 $14$ または $15$ 記載の不揮発性半導体記憶装置。

【請求項 $17$ 】 前記第 $2$ の読み出しモードは、外部からのハードウェアリセット信号により起動されることを特徴とする請求項 $14$ 乃至 $16$ のいずれか $1$ 項に記載の不揮発性半導体記憶装置。

【請求項 $18$ 】 前記第 $2$ の読み出しモードは、外部からのソフトウェアリセットコマンドに基づいて起動されることを特徴とする請求項 $14$ 乃至 $16$ のいずれか $1$ 項に記載の不揮発性半導体記憶装置。

【請求項 $19$ 】 前記第 $2$ の読み出しモード中は前記インターフェイス部に入力される信号の一部が無効にされることを特徴とする請求項 $14$ 乃至 $17$ のいずれか $1$ 項に記載の不揮発性半導体記憶装置。

【請求項 $20$ 】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセルが配列された複数組のメモリセルアレイと、

前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、

前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、

前記インターフェイス部と制御回路は、

第 $1$ の起動手順を経て前記メモリセルアレイの $1$ 組に対してアクセスし、( $N + M$ ) ( $N$ は $2$ の $n$ 乗、 $n$ は正の整数、 $N > M$ ) バイトのデータを処理する第 $1$

の動作モードと、

第2の起動手順を経て前記メモリセルアレイの少なくとも2組に対してアクセスし、 $K$  ( $K$ は2の $k$ 乗、 $k$ は正の整数) バイトのデータを処理する第2の動作モード

とを有することを特徴とする不揮発性半導体記憶装置。

【請求項21】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、

前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、

前記不揮発性半導体メモリセルを制御するための制御回路と、

電源電圧を検出し、前記制御回路に起動信号を出力する電源電圧検出回路とを具備し、

前記インターフェイス部と制御回路は、

前記インターフェイス部に入力される信号によって起動される第1の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で  $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N>M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第1の読み出しモードと、

前記起動信号により起動される第2の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で  $K$  ( $K$ は2の $k$ 乗、 $k$ は正の整数) バイトのデータを連続して前記インターフェイス部を介して出力する第2の読み出しモード

とを有することを特徴とする不揮発性半導体記憶装置。

【請求項22】 前記複数の不揮発性半導体メモリセルは、システム起動プログラムが格納されたROMエリアとそれ以外のエリアを持ち、前記第2の読み出しモードでは前記ROMエリアから最大で  $K$  ( $K>N$ ) バイトのデータが読み出されることを特徴とする請求項21記載の不揮発性半導体記憶装置。

【請求項23】 さらに、誤り訂正回路を備え、前記誤り訂正回路は前記第2の読み出しモードで読み出されるデータの誤りを訂正することを特徴とする請求項21または22記載の不揮発性半導体記憶装置。

【請求項 2 4】 前記第 2 の読み出しモード中は前記インターフェイス部に  
入力される信号の一部が無効にされることを特徴とする請求項 2 1 または 2 2 記  
載の不揮発性半導体記憶装置。

【請求項 2 5】 電氣的にデータの書換可能な複数の不揮発性半導体メモリ  
セルと、

前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外  
部との間でデータを授受するインターフェイス部と、

前記不揮発性半導体メモリセルを制御するための制御回路と、  
電源電圧を検出して前記制御回路に起動信号を出力する電源電圧検出回路と、

誤り訂正回路とを具備し、

前記インターフェイス部と制御回路は、

前記インターフェイス部に入力される信号によって起動され、前記不揮発性半  
導体メモリセルからデータを読み出す第 1 の読み出しモードと、

前記起動信号により起動され、前記不揮発性半導体メモリセルからデータを読  
み出し、さらに前記誤り訂正回路により読み出したデータの誤りを訂正すること  
が可能な第 2 の読み出しモード

とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 2 6】 前記複数の不揮発性半導体メモリセルは、システム起動プ  
ログラムが格納された R O M エリアとそれ以外のエリアを持ち、前記第 2 の読み  
出しモードでは前記 R O M エリアからデータが読み出されることを特徴とする請  
求項 2 5 記載の不揮発性半導体記憶装置。

【請求項 2 7】 前記第 2 の読み出しモード中は前記インターフェイス部に  
入力される信号の一部が無効にされることを特徴とする請求項 2 5 記載の不揮発  
性半導体記憶装置。

【請求項 2 8】 請求項 1 乃至 2 7 のいずれか 1 項に記載の不揮発性記憶装  
置を搭載してなることを特徴とする電子カード。

【請求項 2 9】 請求項 2 8 記載の電子カードと、  
前記電子カードに電氣的に接続可能なカードスロットと、  
前記カードスロットに接続されたカードインターフェース

とを具備することを特徴とする電子装置。

【請求項 3 0】 前記電子装置は、デジタルスチルカメラであることを特徴とする請求項 2 9 記載の電子装置。

【請求項 3 1】 前記電子装置は、パーソナルデジタルアシスタントであることを特徴とする請求項 2 9 記載の電子装置。

【請求項 3 2】 前記電子装置は、ボイスレコーダであることを特徴とする請求項 2 9 記載の電子装置。

【請求項 3 3】 前記電子装置は、P C カードであることを特徴とする請求項 2 9 記載の電子装置。

【請求項 3 4】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセル、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部および前記不揮発性半導体メモリセルを制御するための制御回路を有する不揮発性半導体装置と、

前記不揮発性半導体記憶装置を制御するためのコントローラ

とを備えた電子装置であって、

前記インターフェイス部と制御回路は、

第 1 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で  $(N+M)$  ( $N$  は 2 の  $n$  乗、 $n$  は正の整数、 $N > M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 1 の読み出しモードと、

第 2 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で  $K$  ( $K$  は 2 の  $k$  乗、 $k$  は正の整数、 $K > N$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 2 の読み出しモードとを有し、

前記第 2 の読み出しモードで読み出されるデータは当該電子装置を起動するためのプログラムであることを特徴とする電子装置。

【請求項 3 5】 前記不揮発性半導体装置は誤り訂正回路をさらに備え、前記誤り訂正回路は前記第 2 の読み出しモードで読み出されるデータの誤りを訂正可能であることを特徴とする請求項 3 4 記載の電子装置。

【請求項 3 6】 前記不揮発性半導体装置は電源電圧を検出して前記制御回路に起動信号を出力する電源電圧検出回路をさらに具備し、前記第 1 の読み出し

モードは前記インターフェイス部に入力される信号によって起動され、前記第 2 の読み出しモードは前記起動信号により起動されることを特徴とする請求項 3 4 または 3 5 記載の電子装置。

【請求項 3 7】 前記第 2 の読み出しモード中は前記インターフェイス部に入力される信号の一部が無効にされることを特徴とする請求項 3 4 記載の不揮発性半導体記憶装置。

【請求項 3 8】 さらに、S R A M を備えることを特徴とする請求項 3 4 記載の電子装置。

【請求項 3 9】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセル、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部、前記不揮発性半導体メモリセルを制御するための制御回路および誤り訂正回路を有する不揮発性半導体装置と、

前記不揮発性半導体記憶装置を制御するためのコントローラ

とを備えた電子装置であって、

前記インターフェイス部と制御回路は、

第 1 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出す第 1 の読み出しモードと、

第 2 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、さらに前記誤り訂正回路で読み出したデータの誤りを訂正可能である第 2 の読み出しモードとを有し、

前記第 2 の読み出しモードで読み出されるデータは当該電子装置を起動するためのプログラムであることを特徴とする電子装置。

【請求項 4 0】 前記不揮発性半導体装置は電源電圧を検出して前記制御回路に起動信号を出力する電源電圧検出回路をさらに具備し、前記第 1 の読み出しモードは前記インターフェイス部に入力される信号によって起動され、前記第 2 の読み出しモードは前記起動信号により起動されることを特徴とする請求項 3 9 記載の電子装置。

【請求項 4 1】 前記第 2 の読み出しモード中は前記インターフェイス部に

入力される信号の一部が無効にされることを特徴とする請求項 3 9 記載の不揮発性半導体記憶装置。

【請求項 4 2】 さらに、S R A M を備えることを特徴とする請求項 3 9 記載の電子装置。

【請求項 4 3】 電氣的にデータの書換可能な複数の不揮発性半導体メモリセル、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部および前記不揮発性半導体メモリセルを制御するための制御回路を有する不揮発性半導体装置と、

前記不揮発性半導体記憶装置を制御するためのコントローラ

とを備えた電子装置であって、

前記インターフェイス部と制御回路は、

第 1 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出す第 1 の読み出しモードと、

第 2 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出す第 2 の読み出しモードとを有し、

前記第 2 の読み出しモード中は前記インターフェイス部に入力される信号の一部が無効にされ、

前記第 2 の読み出しモードで読み出されるデータは当該電子装置を起動するためのプログラムであることを特徴とする電子装置。

【請求項 4 4】 前記不揮発性半導体装置は誤り訂正回路をさらに備え、前記誤り訂正回路は前記第 2 の読み出しモードで読み出されるデータの誤りを訂正可能であることを特徴とする請求項 4 3 記載の電子装置。

【請求項 4 5】 前記不揮発性半導体装置は電源電圧を検出して前記制御回路に起動信号を出力する電源電圧検出回路をさらに具備し、前記第 1 の読み出しモードは前記インターフェイス部に入力される信号によって起動され、前記第 2 の読み出しモードは前記起動信号により起動されることを特徴とする請求項 4 3 または 4 4 記載の電子装置。

【発明の詳細な説明】

【0 0 0 1】

**【発明の属する技術分野】**

本発明は、電氣的にデータの書替え可能な不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置に係り、特にメモリセルアレイに対する読み出し／書き込み制御に関するもので、例えばNAND型フラッシュメモリに使用される。

**【0 0 0 2】****【従来の技術】**

電氣的にデータの書替え可能な不揮発性半導体記憶装置のうち、一括消去可能なフラッシュメモリは、消去／書き込み動作により、メモリセルトランジスタの浮遊ゲートの電荷量を変えることでその閾値電圧を変え、データを記憶する。例えば、電子を放出して閾値電圧を負にすることで“0”データを、電子を注入して閾値電圧を正にすることで“1”データをそれぞれ記憶させる。電子の放出／注入は、例えば浮遊ゲートと半導体基板間でトンネル酸化膜を介して行われる。このため、データの書き替え回数に伴ってトンネル酸化膜が劣化し、例えば浮遊ゲートに注入された電子がトンネル酸化膜から漏れ出てしまい、データの保持が難しくなる。多くのフラッシュメモリの書き替え可能回数は、1つのメモリセル当たり、10万回から100万回である。

**【0 0 0 3】**

近年、フラッシュメモリを用いた多くの制御システムにおいては、データが壊れてしまった場合に対応してエラー訂正システムを導入している。書き替え回数が多くなり、例えば528バイト中の1ビットがエラーしてもエラー訂正システムにより訂正される。このエラー訂正システムは、従来、フラッシュメモリのコストを抑えるため、あるいは、高速にエラー訂正処理を行うため、演算処理を専門とするコントローラチップに備えられている。

**【0 0 0 4】**

一方、フラッシュメモリを用いた電子機器の制御システムでは、その起動（ブート）時に、システムをブートするためのプログラムをプロセッサユニットがROMから読み込む。上記ブート用のプログラムには、フラッシュメモリを制御するためのデータやエラー訂正プログラムも含まれている。

**【0 0 0 5】**

図 2 0 は、従来の NAND フラッシュメモリを用いた制御システムの構成例を示すブロック図である。

【 0 0 0 6 】

マイクロプロセッサ (MPU) 1 0 3 は、システム I/O バス線 (I/O bus line) を介して、ROM 1 0 4、SRAM 1 0 2 と NAND フラッシュメモリ 1 0 5 に接続されている。MPU 1 0 3 は、システム起動時に ROM 1 0 4 からシステム起動プログラムを読み出し、SRAM 1 0 4 や NAND フラッシュメモリ 1 0 5 を制御する。そのプログラムの中には、NAND フラッシュメモリ 1 0 5 のデータに対して誤り訂正を行うためのコードも含まれる。この NAND フラッシュメモリ 1 0 5 は、磁気ディスクのようにファイルストレージとして用いられ、デジタルカメラなどでは画像記憶として使われる。

【 0 0 0 7 】

なお、フラッシュメモリにエラー訂正システムを搭載する技術は、本願出願人に係る特許文献 1、特許文献 2、非特許文献 1 に開示されている。

【 0 0 0 8 】

【特許文献 1】

特許第 3 2 7 2 9 0 3 号明細書

【 0 0 0 9 】

【特許文献 2】

特開 2 0 0 1 - 1 4 8 8 8 号公報

【 0 0 1 0 】

【非特許文献 1】

T. Tanzawa et. al., "A Compact On-Chip ECC for Low Cost Flash memories", 1996 Symposium on VLSI Circuits Digest of Technical Papers

【 0 0 1 1 】

【発明が解決しようとする課題】

上記したように従来のフラッシュメモリを用いたシステムは、そのエラー訂正を行うコントローラチップやブート用のプログラムを格納する ROM を必要とし、構成デバイス数が多いという問題があった。



## 【0012】

本発明は上記の問題点を解決すべくなされたもので、フラッシュメモリを用いたシステムの構成デバイス数を低減し、システムを安価に実現し得る不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置を提供することを目的とする。

## 【0013】

## 【課題を解決するための手段】

本発明の不揮発性半導体記憶装置の第1の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、前記インターフェイス部と制御回路は、第1の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、 $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N>M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第1の読み出しモードと、第2の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、 $K$  ( $K$ は2の $k$ 乗、 $k$ は正の整数) バイトのデータを連続して前記インターフェイス部を介して出力する第2の読み出しモードとを有することを特徴とする。ここで、例えば $K>N$ である。

## 【0014】

また、本発明の不揮発性半導体記憶装置の第2の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、前記不揮発性半導体メモリセルの書き込みデータ／読み出しデータに対して誤り訂正を行う誤り訂正回路と、前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、前記インターフェイス部と誤り訂正回路と制御回路は、第1の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、 $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N>M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第1の読み出しモードと、第2の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、誤

り訂正を行った後に $K$  ( $K$ は $2$ の $k$ 乗、 $k$ は正の整数、 $K > N$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 $2$ の読み出しモードとを有することを特徴とする。

#### 【0015】

また、本発明の不揮発性半導体記憶装置の第 $3$ の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、前記不揮発性半導体メモリセルの書き込みデータ／読み出しデータに対して誤り訂正を行う誤り訂正回路と、前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、前記インターフェイス部と誤り訂正回路と制御回路は、第 $1$ の起動手順を経て前記インターフェイス部を介して入力される $(N+M)$  ( $N$ は $2$ の $n$ 乗、 $n$ は正の整数、 $N > M$ ) バイトのデータを一括して前記複数のメモリセルに書き込む第 $1$ の書き込みモードと、第 $2$ の起動手順を経て前記インターフェイス部を介して入力される $K$  ( $K$ は $2$ の $k$ 乗、 $k$ は正の整数) バイトのデータに対して誤り訂正するための検査コードを自動的に発生させ、前記 $K$ バイトのデータと前記検査コードを一括して前記複数のメモリセルに書き込む第 $2$ の書き込みモードとを有することを特徴とする。

#### 【0016】

また、本発明の不揮発性半導体記憶装置の第 $4$ の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセルが配列された複数組のメモリセルアレイと、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、前記不揮発性半導体メモリセルを制御するための制御回路とを具備し、前記インターフェイス部と制御回路は、第 $1$ の起動手順を経て前記メモリセルアレイの $1$ 組に対してアクセスし、 $(N+M)$  ( $N$ は $2$ の $n$ 乗、 $n$ は正の整数、 $N > M$ ) バイトのデータを処理する第 $1$ の動作モードと、第 $2$ の起動手順を経て前記メモリセルアレイの少なくとも $2$ 組に対してアクセスし、 $K$  ( $K$ は $2$ の $k$ 乗、 $k$ は正の整数) バイトのデータを処理する第 $2$ の動作モードとを有することを特徴とする。

#### 【0017】

また、本発明の不揮発性半導体記憶装置の第5の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、前記不揮発性半導体メモリセルを制御するための制御回路と、電源電圧を検出して前記制御回路に起動信号を出力する電源電圧検出回路とを具備し、前記インターフェイス部と制御回路は、前記インターフェイス部に入力される信号によって起動される第1の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N > M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第1の読み出しモードと、前記起動信号により起動される第2の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で $K$  ( $K$ は2の $k$ 乗、 $k$ は正の整数) バイトのデータを連続して前記インターフェイス部を介して出力する第2の読み出しモードとを有することを特徴とする。

#### 【0018】

また、本発明の不揮発性半導体記憶装置の第6の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセルと、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部と、前記不揮発性半導体メモリセルを制御するための制御回路と、電源電圧を検出して前記制御回路に起動信号を出力する電源電圧検出回路と、誤り訂正回路とを具備し、前記インターフェイス部と制御回路は、前記インターフェイス部に入力される信号によって起動され、前記不揮発性半導体メモリセルからデータを読み出す第1の読み出しモードと、前記起動信号により起動され、前記不揮発性半導体メモリセルからデータを読み出し、さらに前記誤り訂正回路により読み出したデータの誤りを訂正することが可能な第2の読み出しモードとを有することを特徴とする。

#### 【0019】

また、本発明の電子カードは、本発明の不揮発性半導体記憶装置を搭載してなることを特徴とする。

#### 【0020】

また、本発明の電子装置の第 1 の態様は、本発明の電子カードと、前記電子カードに電氣的に接続可能なカードスロットと、前記カードスロットに接続されたカードインターフェースとを具備することを特徴とする。

#### 【0021】

また、本発明の電子装置の第 2 の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセル、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部および前記不揮発性半導体メモリセルを制御するための制御回路を有する不揮発性半導体装置と、前記不揮発性半導体記憶装置を制御するためのコントローラとを備えた電子装置であって、前記インターフェイス部と制御回路は、第 1 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で  $(N+M)$  ( $N$  は 2 の  $n$  乗、 $n$  は正の整数、 $N > M$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 1 の読み出しモードと、第 2 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、最大で  $K$  ( $K$  は 2 の  $k$  乗、 $k$  は正の整数、 $K > N$ ) バイトのデータを連続して前記インターフェイス部を介して出力する第 2 の読み出しモードとを有し、前記第 2 の読み出しモードで読み出されるデータは当該電子装置を起動するためのプログラムであることを特徴とする。

#### 【0022】

また、本発明の電子装置の第 3 の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセル、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部、前記不揮発性半導体メモリセルを制御するための制御回路および誤り訂正回路を有する不揮発性半導体装置と、前記不揮発性半導体記憶装置を制御するためのコントローラとを備えた電子装置であって、前記インターフェイス部と制御回路は、第 1 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出す第 1 の読み出しモードと、第 2 の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出し、さらに前記誤り訂正回路で読み出したデータの誤りを訂正可能である第 2 の読み出しモードとを有し、前記第 2 の読み出しモードで読み出さ

れるデータは当該電子装置を起動するためのプログラムであることを特徴とする。

### 【0023】

また、本発明の電子装置の第4の態様は、電氣的にデータの書換可能な複数の不揮発性半導体メモリセル、前記不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受するインターフェイス部および前記不揮発性半導体メモリセルを制御するための制御回路を有する不揮発性半導体装置と、前記不揮発性半導体記憶装置を制御するためのコントローラとを備えた電子装置であって、前記インターフェイス部と制御回路は、第1の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出す第1の読み出しモードと、第2の起動手順を経て前記不揮発性半導体メモリセルからデータを読み出す第2の読み出しモードとを有し、前記第2の読み出しモード中は前記インターフェイス部に入力される信号の一部が無効にされ、前記第2の読み出しモードで読み出されるデータは当該電子装置を起動するためのプログラムであることを特徴とする。

### 【0024】

#### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

### 【0025】

#### ＜第1の実施形態＞

図1は、本発明の第1の実施形態に係るNANDフラッシュメモリおよびそれを用いた制御システムの構成例を示すブロック図である。なお、図20と対応する箇所には同じ符号を付してその説明は省略する。

### 【0026】

NANDフラッシュメモリ101は、そのメモリセルアレイの一部をROMエリア201として使い、ROMエリア201のデータの誤り訂正を誤り訂正回路(EC)202によって行うように構成されている。

### 【0027】

NANDフラッシュメモリ101内のROMエリア201以外のメモリ部へのアク

セスは、従来のNANDフラッシュメモリ 1 0 5と同様のインターフェイスを維持することにより、従来のNANDフラッシュメモリ 1 0 5との互換性を保っている。

#### 【 0 0 2 8 】

M P U 1 0 3 は、システム起動時にNANDフラッシュメモリ 1 0 1 にアクセスし、NANDフラッシュ 1 0 1 自身の制御コードやデータの誤り訂正を行うためのコードが含まれるシステム起動プログラムを読み出すように構成されている。

#### 【 0 0 2 9 】

なお、NANDフラッシュメモリ 1 0 1 などを制御するためのコントローラである M P U 1 0 3 がシステムの電源の立ち上がりを検出してNANDフラッシュメモリ 1 0 1 を起動してもよいし、NANDフラッシュメモリ 1 0 1 が電源の立ち上がりを検出して自身を起動してもよい。また、読み出されたシステム起動プログラムを S R A M 1 0 2 にコピーしておく、システム電源が切断されない限り、S R A M 1 0 2 をキャッシュメモリとして使えるので便利である。

#### 【 0 0 3 0 】

図 2 は、図 1 中のNANDフラッシュメモリ 1 0 1 の構成例を示すブロック図である。

#### 【 0 0 3 1 】

本例のNANDフラッシュメモリ 1 0 1 では、複数（例えば 2 個）のメモリセルアレイ 1 a、1 b が設けられており、それぞれに対応してカラム制御回路 2 a、2 b、ロウ制御回路 3 a、3 b、ソース線制御回路 4 a、4 b、P ウェル制御回路 5 a、5 b が設けられている。

#### 【 0 0 3 2 】

メモリセルアレイ 1 a、1 b は、複数のフラッシュメモリセルがマトリクス状に配置されている。カラム制御回路 2 a、2 b は、対応するメモリセルアレイ 1 a、1 b に隣接して設けられ、メモリセルアレイ 1 a、1 b のビット線を制御し、メモリセルに対するデータ消去、データ書き込み、データ読み出しを行うものである。ロウ制御回路 3 a、3 b は、対応するメモリセルアレイ 1 a、1 b のワード線を選択し、消去、書き込み、読み出しに必要な電圧を印加するものである。ソース線制御回路 4 a、4 b は、対応するメモリセルアレイ 1 a、1 b のソー

ス線を制御するものである。Pウェル制御回路5a、5bは、対応するメモリセルアレイ1a、1bが形成されるp型ウェルの電位を制御するものである。

#### 【0033】

データ入出力バッファ6は、外部入出力(I/O)線D0-D7に接続され、書き込みデータの受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行うものである。具体的には、外部から受け取った書き込みデータをカラム制御回路2a、2bに送り、カラム制御回路2a、2bから読み出したデータを受け取って外部に出力する。また、メモリセルの選択をするために外部から受け取ったアドレスデータをステートマシン9を介してカラム制御回路2a、2bやロウ制御回路3a、3bに送る。また、外部から受け取ったコマンドデータをコマンド・インターフェイス7に送る。

#### 【0034】

コマンド・インターフェイス7は、外部からの制御信号CEn, WEn, REn, ALE, CLEを受け取り、データ入出力バッファ6に入力されたデータが書き込みデータかコマンドデータかアドレスデータかを判断し、コマンドデータであれば受け取りコマンド信号としてステートマシン9に転送するものである。

#### 【0035】

誤り訂正回路8は、外部から受け取った書き込みデータから誤り訂正のための検査コードを発生し、また、メモリセルアレイ1a、1bのメモリセルから読み出したデータから誤りを検出するものである。

#### 【0036】

ステートマシン9は、フラッシュメモリ全体の管理を行うものであり、外部からのコマンドを受け取り、読み出し、書き込み、消去、データの入出力管理を行うものである。

#### 【0037】

図3は、図1中の2組のメモリセルアレイ1a、1bのうちの一方を代表的に取り出し、メモリセルアレイ1の構成の一例を示す回路図である。

#### 【0038】

このメモリセルアレイは、図3(a)に示すように、複数のブロックBLOCK0-B

L1023 に分割されている。各ブロックBLOCK*i*は、消去の最小単位であり、例えば図 3 (b) に示すように、4224個のNAND型メモリユニットで構成される。

#### 【 0 0 3 9 】

この例では、各NAND型メモリユニットは、4つのメモリセルMが直列に接続されて構成され、その一端は第1の選択ゲートSG1を介してビット線BL*j* (*j*=0 ~4223) に、他端は第2の選択ゲートSG2を介して共通ソース線C-sourceに接続される。

#### 【 0 0 4 0 】

上記第1の選択ゲートSG1のゲートはブロックBLOCK*i* (*i*=0 ~1023) に対応する第1の選択ゲート線SGD-*i* に接続され、第2の選択ゲートSG2のゲートはブロックBLOCK*i*に対応する第2の選択ゲート線SGS-*i* に接続されている。そして、4つのメモリセルMの各ゲートは、ブロックBLOCK*i*に対応する4本のワード線WL0-*i* ~WL3-*i* に対応して接続されており、1本のワード線に繋がる4224個のメモリセルに対して同時にデータの書き込みと読み出しが行われる。各メモリセルが記憶する1ビットのデータ（全体で4224ビット、連続して隣り合う8ビットを単位とする528バイトのデータ）が、書き込みと読み出しの最小単位（ページ）を構成する。

#### 【 0 0 4 1 】

図4は、図3中のメモリセルMの1個分を代表的に取り出して構造の一例を簡単に示す断面図である。

#### 【 0 0 4 2 】

p型半導体基板11上にn型ウェル(n-well)12とp型ウェル(p-well)13が二重構造として形成され、p型ウェル13に形成されたn型拡散層14がソース領域およびドレイン領域となる。チャネル領域上にトンネル酸化膜15が形成され、その上に浮遊ゲート16が積層形成される。さらに、その上にONO膜（酸化膜／窒化膜／酸化膜の積層膜）17と制御ゲート18が積層形成される。制御ゲート18はワード線の一部となる。

#### 【 0 0 4 3 】

図5は、図2中の2組のカラム制御回路2a、2bのうちの一方を代表的に取



り出し、カラム制御回路 2 の一部（1 バイト分のデータに対応する部分）の構成の一例を示す回路図である。

#### 【 0 0 4 4 】

8 本のビット線  $BL_{8j} \sim BL_{8j+7}$  に対応してデータ記憶回路（D S） $DS_{8j} \sim DS_{8j+7}$  が接続されている。各データ記憶回路  $DS_{8j} \sim DS_{8j+7}$  は、データ入出力線  $d_0 \sim d_7$  を介して図 2 中のデータ入出力バッファ 6 に接続されており、書き込みデータや読み出しデータを記憶する。複数のデータ記憶回路は、8 個のデータ記憶回路  $DS_{8j} \sim DS_{8j+7}$  を単位として同一のカラム選択信号  $CSL_j$  で選択され、データの入出力が行われる。

#### 【 0 0 4 5 】

各データ記憶回路  $DS_{8j} \sim DS_{8j+7}$  は、書き込み時には記憶している書き込みデータにしたがってビット線  $BL_{8j} \sim BL_{8j+7}$  の電圧を制御して書き込み制御を行い、読み出し時にはビット線  $BL_{8j} \sim BL_{8j+7}$  の電圧をセンスしてそのデータを記憶する。この際、8 個のデータ記憶回路  $DS_{8j} \sim DS_{8j+7}$  は、データの入出力時以外は共通の制御信号  $CSL_j$  で制御されるので、同時に働く。

#### 【 0 0 4 6 】

図 6 は、図 2 に示した NAND フラッシュメモリのデータと図 4 に示したメモリセル M の閾値電圧およびその分布の関係を示す図である。

#### 【 0 0 4 7 】

データ消去は、図 4 中の p 型ウェル 13 に高電圧（例えば 20V ）を印加し、制御ゲート 18 を 0V にして行われる。この時、浮遊ゲート 16 から電子がトンネル酸化膜 15 を介して p 型ウェル 13 に放出され、メモリセル M の閾値電圧は 0V 以下となる。この状態が “0” 記憶状態である。

#### 【 0 0 4 8 】

データ書き込みは、p 型ウェル 13 と n 型拡散層 14 を 0V、制御ゲート 18 を高電圧（例えば 20V ）にして行われる。チャネル領域から電子が浮遊ゲート 16 に注入され、メモリセル M の閾値電圧は正となる。この時、閾値電圧が 0.8V を越えたらメモリセル毎に書き込みが禁止され、閾値電圧は 4.5V 以下になる。この状態が “1” 書き込み状態である。

【0049】

【表1】

	消去	"1" 書き込み	"0" 書き込み	読み出し	消去 ベリファイ	書き込み ベリファイ
BL	Floating	0V	3V	H or L	H or L	H or L
SGD	Floating	3V	3V	4.5V	4.5V	4.5V
WL3	0V	10V	10V	4.5V	0V	4.5V
WL2	0V	20V	20V	0V	0V	0.8V
WL1	0V	10V	10V	4.5V	0V	4.5V
WL0	0V	10V	10V	4.5V	0V	4.5V
SGS	Floating	0V	0V	4.5V	4.5V	4.5V
C-source	Floating	0V	0V	0V	0V	0V
C-p-well	20V	0V	0V	0V	0V	0V

【0050】

表1は、消去、書き込み、読み出し、消去ベリファイ、書き込みベリファイ時の各部の電圧を示している。なお、書き込みと読み出し時は、4つのメモリセルMに対応する4本のワード線WL0～WL3のうちの1本（例えばWL2）が選択され

た場合を示す。

#### 【0 0 5 1】

p 型ウェル13を20V、選択されたブロックの全ワード線WL0～WL3を0Vにすることにより、図4に示したメモリセルMの浮遊ゲート16から電子が放出されて閾値電圧が負となり、“0”状態になる。ここで、非選択ブロックのワード線およびビット線BLなどはフローティング（Floating）にされ、p 型ウェル13との容量結合により20V 近くとなっている。

#### 【0 0 5 2】

書き込みは、選択されたワード線WL2に14V～20Vのプログラム電圧V<sub>pgm</sub>を印加して行う。この際、選択されたビット線BLを0Vにすると、選択されたメモリセルMの浮遊ゲート16に電子が注入され閾値電圧が上昇する（“1”書き込み）。これに対して、選択されたビット線BLを電源電圧V<sub>dd</sub>（～3V）にすると、選択されたメモリセルMの閾値電圧の上昇が禁止される（“0”書き込み）。

#### 【0 0 5 3】

読み出しは、選択されたワード線WL2に読み出し電圧0Vを印加して行う。選択されたメモリセルMの閾値電圧が読み出し電圧以下なら、選択されたビット線BLと共通ソース線C-sourceが導通してビット線BLの電位は比較的低いレベルLとなる。これに対して、選択されたメモリセルMの閾値電圧が読み出し電圧以上なら、選択されたビット線BLと共通ソース線C-sourceが非導通になって、ビット線BLの電位は比較的高いレベルHとなる。

#### 【0 0 5 4】

消去ベリファイは、選択されたブロックの全ワード線WL0～WL3を0Vにして行う。NAND型メモリユニット内の4つのメモリセルMの閾値電圧が全て0V以下なら、ビット線BLと共通ソース線C-sourceが導通して、ビット線BLの電位は比較的低いレベルLとなる。これに対して、いずれか1つのメモリセルMの閾値電圧が0V以上なら、ビット線BLと共通ソース線C-sourceが非導通になって、ビット線BLの電位は比較的高いレベルHとなる。

#### 【0 0 5 5】

書き込みベリファイは、選択されたワード線WL2にベリファイ電圧0.8Vを印加

して行う。メモリセルMの閾値電圧がベリファイ電圧以下なら、ビット線BLと共通ソース線C-sourceが導通して、ビット線BLの電位は比較的低いレベルLとなる。これに対して、メモリセルMの閾値電圧がベリファイ電圧以上なら、ビット線BLと共通ソース線C-sourceが非導通になって、ビット線BLの電位は比較的高いレベルHになる。

#### 【0 0 5 6】

図7は、図2に示したメモリセルアレイ1a、1b中のROMエリアではないブロックBLOCKi内のデータの書式を示している。

#### 【0 0 5 7】

このブロックBLOCKi内のメモリセルは、図7中のロウアドレス $4i$ 、 $4i+1$ 、 $4i+2$ 、 $4i+3$  ( $i=0 \sim 1023$  :  $i$ はブロックの番号) とカラムアドレス $0 \sim 527$  とIO番号 $0 \sim 7$  で指定できる。

#### 【0 0 5 8】

ここでは、ロウアドレス $4i$ に、図3中のワード線WL0\_i に相当するワード線が対応し、書き込み・読み出し単位であるページPage0 が対応する。以下同様に、ロウアドレス $4i+1$ にページPage1、ロウアドレス $4i+2$ にページPage2、ロウアドレス $4i+3$ にページPage3 が対応する。

#### 【0 0 5 9】

主たるファイルデータは、図7中のカラムアドレス $0 \sim 527$  のうちの $0 \sim 511$  に対応するメモリセルに512 バイトのデータ長Nで格納される。この512 バイトのデータ長Nは、磁気ディスクなどをNANDフラッシュメモリで置き換える場合に都合が良いように、磁気ディスクなどのセクタサイズに対応している。一般にこれらのファイルデータは、図1中のSRAM102などに移されて用いられるので、データ長Nとして2のn乗 ( $n$ は正の整数) が都合が良い。

#### 【0 0 6 0】

さらに、ファイルデータの論理アドレスデータと検査コードが、図7中のカラムアドレス $0 \sim 527$  のうちの $512 \sim 527$  に16バイトのデータ長M ( $N > M$ ) で収められる。この検査コードは、ファイルデータと論理アドレスデータに対するものである。

**【 0 0 6 1 】**

検査コードは、例えば図 1 中の M P U 1 0 3 でファイルデータと論理アドレスデータに対して発生されて NAND フラッシュメモリ 1 0 1 に書き込まれ、また、NAND フラッシュメモリ 1 0 1 から読み出されたファイルデータと論理アドレスデータのデータの誤りは、M P U 1 0 3 で対応する検査コードから訂正される。

**【 0 0 6 2 】**

図 8 ( a ) 、 ( b ) は、図 2 に示したメモリセルアレイ 1 a 、 1 b 中の R O M エリアの各 1 個のブロック BLOCK0a, BLOCK0b ( 計 2 個のブロック ) を用いた場合のデータの書式を示している。

**【 0 0 6 3 】**

2 個のブロック BLOCK0a, BLOCK0b は、磁気ディスクのようなファイルデータを記憶するのではなく、様々な電子機器のシステム起動プログラムを記憶することを想定している。そこで、前述したような 528 バイト単位の記憶ではなく、システムが起動するために十分なデータを記憶する必要がある。

**【 0 0 6 4 】**

本例では、2 個のブロック BLOCK0a, BLOCK0b を用いて、前記 512 バイトのデータ長 N より長いデータを 1 連のデータとして記憶する。例えばメモリセルアレイ 1 a のブロック BLOCK0a とメモリセルアレイ 1 b のブロック BLOCK0b の 2 つを使うことにより、2 つのページ Page0a と Page0b を 1 連とした 1K ( 512+512=1024 ) バイトのデータを記憶する。このデータは、図 2 0 中に示した従来例の R O M 1 0 4 のデータの置き換えであるので、データ長 K として 2 の k 乗 ( k は正の整数、 $K > N$  ) が都合が良い。

**【 0 0 6 5 】**

さらに、上記 1K バイトのデータに対して、図 2 中の誤り訂正回路 8 で発生された検査コードが 2 ページ目 Page0b のカラムアドレス 512 ~ 527 の 16 バイトの領域に格納される。

**【 0 0 6 6 】**

本例では、2 組のメモリセルアレイ 1 a 、 1 b 中にそれぞれ 1 つずつ設けられている R O M エリアのブロック BLOCK0a, BLOCK0b を組み合わせて使用することに

より、2つのROMエリアのブロックBLOCK0a, BLOCK0b を同時にアクセスすることができるので、アクセスを簡単に行うことが可能になっている。これに対して、1つのメモリセルアレイ中にROMエリアを2つ設け、この2つのROMエリアに前記データ長K+16バイトの1連のデータを記憶させる場合には、2つのROMエリアに同時にアクセスすることができないので、アクセスが複雑になる。

#### 【0067】

図2乃至図8に示したように、本実施形態のNANDフラッシュメモリの構成上の特徴は、電氣的に書換可能な複数の不揮発性半導体メモリセルと、不揮発性半導体メモリセルに対するデータ書き込み／読み出しのために外部との間でデータを授受し、コマンドをデコードするインターフェイス部（6，7，9）と、不揮発性半導体メモリセルの書き込みデータ／読み出しデータに対して誤り訂正を行う誤り訂正回路8と、不揮発性半導体メモリセルを制御するための制御回路（2a，3a，4a，5a，2b，3b，4b，5b）とを具備する。

#### 【0068】

この場合、電氣的に書換可能な複数の不揮発性半導体メモリセルが配列された複数組（本例では2組）のメモリセルアレイ1a，1bにそれぞれROMエリアを持つ。このROMエリアのデータは、フラッシュメモリの内部で誤り訂正が可能であるので信頼性が非常に高くなり、フラッシュメモリを用いた電子機器のシステム起動（ブート）のためのプログラムをROMエリアに格納することが可能となる。

#### 【0069】

したがって、本実施形態のNANDフラッシュメモリは、それを用いたシステムをブートするためのROMに匹敵する機能をフラッシュメモリ自身に持たせることが可能となる。

#### 【0070】

さらに、上記NANDフラッシュメモリは、以下に述べるような機能（図9乃至図14を参照して後述する）を有する。

#### 【0071】

（1）インターフェイス部と制御回路は、

第1の起動手順を経て読み出し動作を行い、 $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N>M$ ) バイトのデータを連続してインターフェイス部を介して出力する第1の読み出しモードと、第2の起動手順を経て読み出し動作を行い、 $K$  ( $K$ は2の $k$ 乗、 $k$ は正の整数) バイトのデータを連続してインターフェイス部を介して出力する第2の読み出しモードとを有する。

#### 【0072】

(2) インターフェイス部と誤り訂正回路と制御回路は、

第1の起動手順を経て読み出し動作を行い、 $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N>M$ ) バイトのデータを連続してインターフェイス部を介して出力する第1の読み出しモードと、第2の起動手順を経て読み出し動作を行い、誤り訂正を行った後に $K$  ( $K$ は2の $k$ 乗、 $k$ は正の整数) バイトのデータを連続してインターフェイス部を介して出力する第2の読み出しモードとを有する。

#### 【0073】

(3) インターフェイス部と誤り訂正回路と制御回路は、

第1の起動手順を経て前記インターフェイス部を介して入力される $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N>M$ ) バイトのデータを取り込み、このデータを一括して複数のメモリセルに書き込む第1の書き込みモードと、第2の起動手順を経て前記インターフェイス部を介して入力される $K$  ( $K$ は2の $k$ 乗、 $k$ は正の整数) バイトのデータを取り込み、このデータに対して誤り訂正するための検査コードを自動的に発生させ、 $K$ バイトのデータと検査コードを一括して複数のメモリセルに書き込む第2の書き込みモードとを有する。この機能を、前記(2)で述べた機能と併存させることが可能である。

#### 【0074】

(4) 図18を参照して後述するように電源電圧検出回路を設ける場合において、電源電圧検出回路とインターフェイス部と制御回路は、

インターフェイス部に入力される信号によって起動される第1の起動手順を経て不揮発性半導体メモリセルからデータを読み出し、最大で $(N+M)$  ( $N$ は2の $n$ 乗、 $n$ は正の整数、 $N>M$ ) バイトのデータを連続してインターフェイス部を介して出力する第1の読み出しモードと、電源電圧検出回路から出力される起

動信号により起動される第2の起動手順を経て不揮発性半導体メモリセルからデータを読み出し、最大でK（Kは2のk乗、kは正の整数）バイトのデータを連続してインターフェイス部を介して出力する第2の読み出しモードとを有する。

#### 【0075】

（5）図18を参照して後述するように電源電圧検出回路を設ける場合において、電源電圧検出回路と誤り訂正回路とインターフェイス部と制御回路は、

インターフェイス部に入力される信号によって起動され、不揮発性半導体メモリセルからデータを読み出す第1の読み出しモードと、電源電圧検出回路から出力される起動信号により起動され、不揮発性半導体メモリセルからデータを読み出し、さらに誤り訂正回路により読み出したデータの誤りを訂正することが可能な第2の読み出しモードとを有する。

#### 【0076】

（6）インターフェイス部と制御回路は、

第1の起動手順を経て不揮発性半導体メモリセルからデータを読み出す第1の読み出しモードと、第2の起動手順を経て不揮発性半導体メモリセルからデータを読み出す第2の読み出しモードとを有し、第2の読み出しモード中はインターフェイス部に入力される信号の一部が無効にされる。

#### 【0077】

以下、上記したNANDフラッシュメモリの機能について、図9乃至図14、図18および図19を参照して詳しく説明する。

#### 【0078】

図9は、図2に示したNANDフラッシュメモリのROMエリア以外のデータを、現行のNANDフラッシュメモリと同様の読み出し方式で読み出す動作の一例を示すタイミング波形図である。

#### 【0079】

リセット信号RESETnが“H”、コマンド・ラッチ・イネーブル信号CLE が“H”の時に、ライト・イネーブル信号WEn が“L”になることにより、データ入出力バッファ6に入力されるデータ00hを読み出しコマンドとして取り込む。

#### 【0080】



次に、アドレス・ラッチ・イネーブル信号ALE が“H”の時にWEn が“L”になる毎に、データ入出力バッファ 6 に入力されるデータをアドレスデータAdd0～Add3として取り込む。

#### 【0081】

このように取りこんだアドレスにしたがってページを選択し、メモリセルアレイ 1 a あるいは 1 b からカラム制御回路 2 a あるいは 2 b にデータを読み出す。この時、ビジー信号Busyとして“L”を出力する。そして、カラム制御回路 2 a あるいは 2 b からデータ出力バッファ 6 を介して外部にデータを出力可能となれば、ビジー信号Busyを“H”に戻す。この後、リード・イネーブル信号REn に同期してデータが出力され、選択ページの最終データ（528 バイト目のデータ）が出力されると、自動的に出力待機状態となる。なお、図 9 中の斜線部は、データが不定で構わないことを示す。

#### 【0082】

図 10 は、図 9 に示した読み出し方式とは異なる現行の読み出し方式で図 2 に示したNANDフラッシュメモリのROMエリア以外のデータを読み出す動作の一例を示すタイミング波形図である。

#### 【0083】

ここでは、コマンド待機状態が読み出し待機状態と一致する。即ち、リセット信号RESETnが“H”、信号ALE が“H”の時に、信号WEn が“L”になる毎にデータ入出力バッファ 6 に入力されるデータをアドレスデータAdd0～Add3として取り込む。

#### 【0084】

このように取りこんだアドレスにしたがってページを選択し、メモリセルアレイ 1 a あるいは 1 b からカラム制御回路 2 a あるいは 2 b にデータを読み出す。この時、ビジー信号Busyとして“L”を出力する。そして、カラム制御回路 2 a あるいは 2 b からデータ出力バッファ 6 を介して外部にデータを出力可能となれば、ビジー信号Busyを“H”に戻す。この後、リード・イネーブル信号REn に同期してデータが出力され、選択ページの最終データ（528 バイト目のデータ）が出力されると、自動的に次のページを選択してビジー状態となり、出力待機状態

となる。なお、図 1 0 中の斜線部は、データが不定で構わないことを示す。

#### 【 0 0 8 5 】

図 1 1 は、図 2 に示した NAND フラッシュメモリ中の R O M エリアのデータを N A N D フラッシュメモリのハードウェアリセットによってコマンドレス、アドレスレス方式でシステム起動（Boot 動作）を行う場合の動作を示すタイミング波形図である。

#### 【 0 0 8 6 】

ハードウェアリセットは、システムのコントローラから供給されるリセット信号 RESETn が “L” となって起動される。この時、信号 ALE 、 CLE は無効となり、ページ Page0a と Page0b を選択し、メモリセルアレイ 1 a あるいは 1 b からカラム制御回路 2 a あるいは 2 b にデータを読み出す。また、この時、ビジー信号 Busy として “L” を出力する。そして、カラム制御回路 2 a あるいは 2 b からデータ出力バッファ 6 を介して外部にデータを出力可能となれば、ビジー信号 Busy を “H” に戻す。

#### 【 0 0 8 7 】

この後、リード・イネーブル信号 REn に同期してデータが出力され、選択ページの最終データ（1024 バイト目のデータ）が出力されると、自動的に次のページを選択してビジー状態となり、出力待機状態となる。そして、最終ページ Page3a と Page3b のデータを出力し終わると、NAND フラッシュメモリの通常の動作モードに切り替わる。なお、最終ページのデータを出力するまでの途中で信号 WEn を “L” とした場合でも、通常の動作モードに切り替わる。

#### 【 0 0 8 8 】

また、前記ビジー信号 Busy として “L” を出力している期間に、誤り訂正回路 8 はカラム制御回路 2 a あるいは 2 b に読み出されたデータから誤り位置を検出する。これにより、誤りのあるデータは出力時に反転されて出力される。なお、図 1 1 中の斜線部は、データが不定で構わないことを示す。また、図 1 1 中の t RVC はリカバリ期間であり、信号 WEn の立下りから Boot モード終了までにリカバリ動作が行われる。

#### 【 0 0 8 9 】

上記したBoot動作を行う期間中は、前記インターフェイス部に入力される信号の一部（本例では、信号ALE、CLE）が無効にされている。

#### 【0090】

なお、前記リセット信号RESETnは内部で自動的に発生させても良い。例えば、図18に示すようにNANDフラッシュメモリ101内に電源電圧検出回路10を設けておき、NANDフラッシュメモリ101の電源端子11を介して投入される電源の立ち上がりを電源電圧検出回路10で検出して、図19に示すように電源の立ち上がりを検出したらリセット信号RESETnを発生させる。上記電源端子11と接地端子12との間に供給される電源は、SRAM102やMPU103にも共通に供給される。

#### 【0091】

図12は、図2に示したNANDフラッシュメモリ中のROMエリアのデータをNANDフラッシュメモリのソフトウェアリセットに伴ってMPUからのコマンドにしたがってシステム起動（Boot動作）を行う場合の動作を示すタイミング波形図である。

#### 【0092】

リセット信号RESETnが“H”、CLE信号が“H”の時に、信号WEnが“L”になることにより、データ入出力バッファ6に入力されるデータAFhをROMエリア読み出しコマンドとして取り込む。

#### 【0093】

次に、信号ALEおよび信号CLEは無効となり、ページPage0aとPage0bを選択し、メモリセルアレイ1aあるいは1bからカラム制御回路2aあるいは2bにデータを読み出す。この時、ビジー信号Busyとして“L”を出力する。そして、カラム制御回路2aあるいは2bからデータ出力バッファ6を介して外部にデータを出力可能となれば、ビジー信号Busyを“H”に戻す。

#### 【0094】

この後、信号REnに同期してデータが出力され、選択ページの最終データ（1024バイト目のデータ）が出力されると、自動的に次のページを選択してビジー状態となり、出力待機状態となる。そして、最終ページPage3aとPage3bのデータを

出力し終わると、NANDフラッシュメモリの通常の動作モードに切り替わる。なお、最終ページのデータを出力するまでの途中で信号WEn を“L”とした場合でも、通常の動作モードに切り替わる。

#### 【0 0 9 5】

また、前記ビジー信号Busyとして“L”を出力している期間に、誤り訂正回路 8 はカラム制御回路 2 a あるいは 2 b に読み出されたデータから誤り位置を検出する。これにより、誤りのあるデータは出力時に反転されて出力される。なお、図 1 2 中の斜線部は、データが不定で構わないことを示す。

#### 【0 0 9 6】

図 1 3 は、図 2 に示したNANDフラッシュメモリのROMエリア以外に対して、現行のNANDフラッシュメモリと同様の書き込み方式でデータを書き込む動作の一例を示すタイミング波形図である。

#### 【0 0 9 7】

リセット信号RESETnが“H”、信号CLE が“H”の時に、信号WEn が“L”になることにより、データ入出力バッファ 6 に入力されるデータ80h をデータ入力コマンドとして取り込む。次に、信号ALE が“H”の時に信号WEn が“L”になる毎に、データ入出力バッファ 6 に入力されるデータをアドレスデータAdd0～Add3として取り込む。その後、信号ALE が“L”の時に信号WEn が“L”になる毎に、データ入出力バッファ 6 に入力されるデータを書き込み用のキャッシュデータとして最大528 バイト分取り込む。

#### 【0 0 9 8】

次に、信号CLE が再び“H”になった時に信号WEn が“L”になることにより、データ入出力バッファ 6 に入力されるデータ10h をデータ書き込みコマンドとして取り込む。そして、ビジー信号Busyとして“L”を出力し、前記したように取りこんだアドレスにしたがってページを選択し、カラム制御回路 2 a あるいは 2 b に格納された書き込みデータをメモリセルアレイ 1 a あるいは 1 b に書き込む。この書き込みの終了後、ビジー信号Busyを“H”に戻す。なお、図 1 3 中の斜線部は、データが不定で構わないことを示す。

#### 【0 0 9 9】

図 1 4 は、図 2 に示した NAND フラッシュメモリ中の R O M エリアに対してデータを書き込む動作の一例を示すタイミング波形図である。

#### 【 0 1 0 0 】

リセット信号 RESETn が “H”、信号 ALE が “H”、信号 CLE が “H” の時に、信号 WEn が “L” になることにより、データ入出力バッファ 6 に入力されるデータ 40h を R O M エリア指定コマンドとして取り込む。この後、信号 CLE が “H” の時に信号 WEn が “L” になることにより、データ入出力バッファ 6 に入力されるデータ 80h をデータ入力コマンドとして取り込む。次に、信号 ALE が “H” の時に信号 WEn が “L” になる毎に、データ入出力バッファ 6 に入力されるデータをアドレスデータ Add0～Add3 として取り込む。その後、信号 ALE が “L” の時に信号 WEn が “L” になる毎に、データ入出力バッファ 6 に入力されるデータを書き込みデータのキャッシュデータとして 1024 バイト取り込む。

#### 【 0 1 0 1 】

次に、信号 CLE が再び “H” になった時に信号 WEn が “L” になることにより、データ入出力バッファ 6 に入力されるデータ 10h をデータ書き込みコマンドとして取り込む。そして、ビジー信号 Busy として “L” を出力し、前記したように取りこんだアドレスにしたがってページを選択し、カラム制御回路 2 a あるいは 2 b に格納された書き込みデータをメモリセルアレイ 1 a あるいは 1 b に書き込む。この書き込みを行う前に、誤り訂正回路 8 で発生した検査コードをカラム制御回路 2 a あるいは 2 b に格納しておき、前記書き込みデータと検査コードを書き込む。この書き込みの終了後、ビジー信号 Busy を “H” に戻す。なお、図 1 4 中の斜線部は、データが不定で構わないことを示す。

#### 【 0 1 0 2 】

##### < 第 2 の実施形態 >

図 1 5 は、前述した NAND フラッシュメモリを用いた電子カードと、この電子カードを用いた電子装置の構成の一例を示す。

#### 【 0 1 0 3 】

ここでは、電子装置の一例として、携帯電子機器、さらにその一例としてデジタルスチルカメラ 50 を示す。このデジタルスチルカメラ 50 の記録メディアとして

用いられている電子カード（例えばメモリカード）51は、第1の実施形態で前述したようなNANDフラッシュメモリが集積化されて封止されたICパッケージPK1を内部に有している。

デジタルスチルカメラ50のケースには、カードスロット52とそれに接続された回路基板（図示せず）が収納されており、メモリカード51は、カードスロット52に取り外しが可能な状態で装着された状態で前記回路基板上の電子回路に電氣的に接続される。なお、メモリカード51が例えば非接触型のICカードである場合には、カードスロット52に収納し、あるいは近づけることで、回路基板上の電子回路に無線信号により電氣的に接続される。

#### 【0104】

なお、図15中、53はレンズ、108は表示部（例えば液晶モニタ）、112は操作ボタン（例えばシャッターボタン）、118はフラッシュランプである。

#### 【0105】

図16は、図15に示したデジタルスチルカメラの基本的な構成を示す。

#### 【0106】

被写体からの光はレンズ(LENSE)53によって集光されて撮像装置(IMAGE PICKUP DEVICE)54に入力される。撮像装置（例えばCMOSイメージセンサ）54は、入力された光を光電変換し、例えばアナログ信号を出力する。このアナログ信号は、アナログ増幅器（AMP.）で増幅された後、アナログ／デジタルコンバータ（A/D）によりデジタル変換される。変換された信号は、カメラ信号処理回路(CAMERA SIGNAL PROCESSING CIRCUIT)55に入力され、例えば自動露出制御（AE）、自動ホワイトバランス制御（AWB）および色分離処理を行った後、輝度信号と色差信号に変換される。

#### 【0107】

画像をモニタする場合、カメラ信号処理回路55から出力された信号がビデオ信号処理回路(VIDEO SIGNAL PROCESSING CIRCUIT)106に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えば、NTSC（National Television System Committee）を挙げることができる。上記した撮像装置54、AMP.、A/D、カメラ信号処理回路55は、マイクロコンピュータ(MICRO COMPUTER)111によって制

御される。

#### 【0 1 0 8】

ビデオ信号は、表示信号処理回路(DISPLAY SIGNAL PROCESSING CIRCUIT)107を介して、デジタルスチルカメラ50に取り付けられた表示部(DISPLAY)108に出力される。また、ビデオ信号は、ビデオドライバ(VIDEO DRIVER)109を介してビデオ出力端子110に与えられる。

#### 【0 1 0 9】

このようにデジタルスチルカメラ50により撮像された画像は、ビデオ出力端子110を介してビデオ出力VIDEO OUTPUTとして例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部108以外でも表示することができる。

#### 【0 1 1 0】

画像をキャプチャする場合、操作ボタン(OPERATION BUTTON)112を操作者が押す。これにより、マイクロコンピュータ111はメモリコントローラ(MEMORY CONTROLLER)113を制御し、カメラ信号処理回路55から出力された信号がフレーム画像としてビデオメモリ(VIDEO MEMORY)114に書き込まれる。このように書き込まれたフレーム画像は、圧縮／伸張処理回路(COMPRESSING/STRETCHING CIRCUIT)115により、所定の圧縮フォーマットに基づいて圧縮され、カードインターフェース(CARD INTERFACE)116を介してカードスロット(CARD CLOT)52に装着されているメモリカード(MEMORY CARD)51に記録される。

#### 【0 1 1 1】

記録した画像を再生する場合、メモリカード51に記録されている画像をカードインターフェース116を介して読み出し、圧縮／伸張処理回路115により伸張した後、ビデオメモリ114に書き込む。書き込まれた画像は、ビデオ信号処理回路106に入力され、画像をモニタする場合と同様に表示部108や画像機器に映し出される。

#### 【0 1 1 2】

なお、上記構成では、回路基板(CIRCUIT BOARD)100上に、カードスロット52、撮像装置54、AMP.、A/D、カメラ信号処理回路55、ビデオ信号処理回路106、表

示装置107、ビデオドライバ109、マイクロコンピュータ111、メモリコントローラ113、ビデオメモリ114、圧縮／伸張処理回路115 およびカードインターフェース116 が実装される。ここで、カードスロット52については、回路基板100上に実装される必要はなく、コネクタケーブル等により回路基板100に接続されてもよい。

#### 【0 1 1 3】

また、回路基板100上には、さらに電源回路(POWER CIRCUIT)117が実装される。電源回路117(例えばDC/DC コンバータ)は、外部電源あるいは電池から電源の供給を受け、デジタルスチルカメラ50の内部で使用する内部電源電圧を発生する。内部電源電圧は、上述した各回路に供給される他、フラッシュランプ(FLASH LAMP)118、表示部108にも供給される。

#### 【0 1 1 4】

本実施形態による電子カードは、上述したデジタルスチルカメラ等の携帯電子機器だけでなく、例えば図17(A)～図17(J)に簡略的に示された各種機器にも適用可能である。即ち、図17(A)はビデオカメラ、図17(B)はテレビジョン、図17(C)はオーディオ機器、図17(D)はゲーム機器、図17(E)は電子楽器、図17(F)は携帯電話、図17(G)はパーソナルコンピュータ、図17(H)はパーソナルデジタルアシスタント(PDA)、図17(I)はボイスレコーダ、図17(J)は例えばPCMCIA規格の形態を有するPCカード(例えばPCカードメモリ)を示している。

#### 【0 1 1 5】

なお、本発明の不揮発性半導体記憶装置は、前記NANDフラッシュメモリに限らず、NORフラッシュメモリ等にも適用することができる。

#### 【0 1 1 6】

##### 【発明の効果】

上述したように本発明によれば、不揮発性半導体記憶装置を用いたシステムの例えばブート用のデータを格納可能なROMエリアを持ち、システムの構成デバイス数を低減し、システムを安価に実現し得る不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置を提供することができる。



**【図面の簡単な説明】**

【図 1】 本発明の第 1 の実施形態に係る NAND フラッシュメモリおよびそれを用いた制御システムの構成例を示すブロック図。

【図 2】 図 1 中の NAND フラッシュメモリの構成例を示すブロック図。

【図 3】 図 1 中の 2 組のメモリセルアレイのうちの一方を代表的に取り出して構成の一例を示す回路図。

【図 4】 図 3 中のメモリセル M の 1 個分を代表的に取り出して構造の一例を簡単に示す断面図。

【図 5】 図 2 中の 2 組のカラム制御回路のうちの一方を代表的に取り出して 1 バイト分のデータに対応する構成の一例を示す回路図。

【図 6】 図 1 に示した NAND フラッシュメモリのデータと図 4 に示したメモリセルの閾値電圧およびその分布の関係を示す図。

【図 7】 図 2 に示したメモリセルアレイ中の ROM エリアではないブロック内のデータの書式を示す図。

【図 8】 図 2 に示したメモリセルアレイ中の ROM エリアのブロックを 2 組用いた場合のデータの書式を示す図。

【図 9】 図 2 に示した NAND フラッシュメモリの ROM エリア以外のデータを、現行の NAND フラッシュメモリと同様の読み出し方式で読み出す動作の一例を示すタイミング波形図。

【図 10】 図 9 に示した現行の読み出し方式とは異なる現行の読み出し方式で図 2 に示した NAND フラッシュメモリの ROM エリア以外のデータを読み出す動作の一例を示すタイミング波形図。

【図 11】 図 2 に示した NAND フラッシュメモリ中の ROM エリアのデータを NAND フラッシュメモリのハードウェアリセットに伴ってコマンドレス、アドレスレス方式でシステム起動を行う場合の動作を示すタイミング波形図。

【図 12】 図 2 に示した NAND フラッシュメモリ中の ROM エリアのデータを NAND フラッシュメモリのソフトウェアリセットに伴って MPU からのコマンドにしたがってシステム起動を行う場合の動作を示すタイミング波形図。

【図 13】 図 2 に示した NAND フラッシュメモリの ROM エリア以外に対し

て、現行のNANDフラッシュメモリと同様の書き込み方式でデータを書き込む動作の一例を示すタイミング波形図。

【図14】 図2に示したNANDフラッシュメモリ中のROMエリアに対してデータを書き込む動作の一例を示すタイミング波形図。

【図15】 本発明の第1の実施形態に係るNANDフラッシュメモリを用いた電子カードと、この電子カードを用いた電子装置の一例としてデジタルスチルカメラを示す一部透視斜視図。

【図16】 図15に示したデジタルスチルカメラの基本的な構成例を示すブロック図。

【図17】 図15中に示した電子カードを用いた各種の電子装置の構成例を簡略的に示す正面図。

【図18】 図1中に示したNANDフラッシュメモリが電源電圧検出回路を備えた場合の制御システムの構成例を示すブロック図。

【図19】 図18中のリセット信号RESETnを示す波形図。

【図20】 従来のNANDフラッシュメモリを用いた制御システムの構成例を示すブロック図。

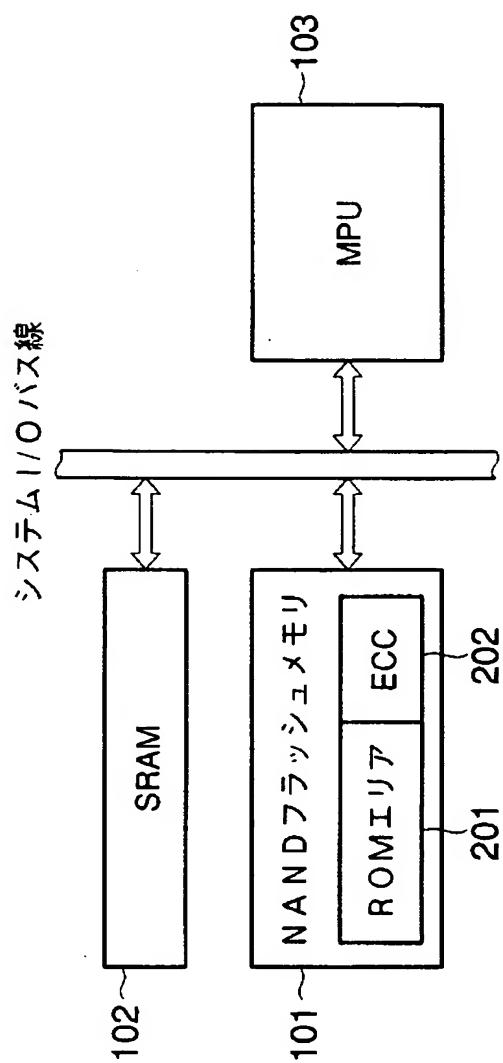
#### 【符号の説明】

1a, 1b…ROMエリアを含むメモリセルアレイ、2a, 2b…カラム制御回路、3a, 3b…row制御回路、4a, 4b…ソース線制御回路、5a, 5b…Pウェル制御回路、6…データ入出力バッファ、7…コマンド・インターフェイス、8…誤り訂正回路、9…ステートマシン、10…電源電圧検出回路、11…電源端子、12…接地端子、101…NANDフラッシュメモリ、102…SRAM、103…MPU。

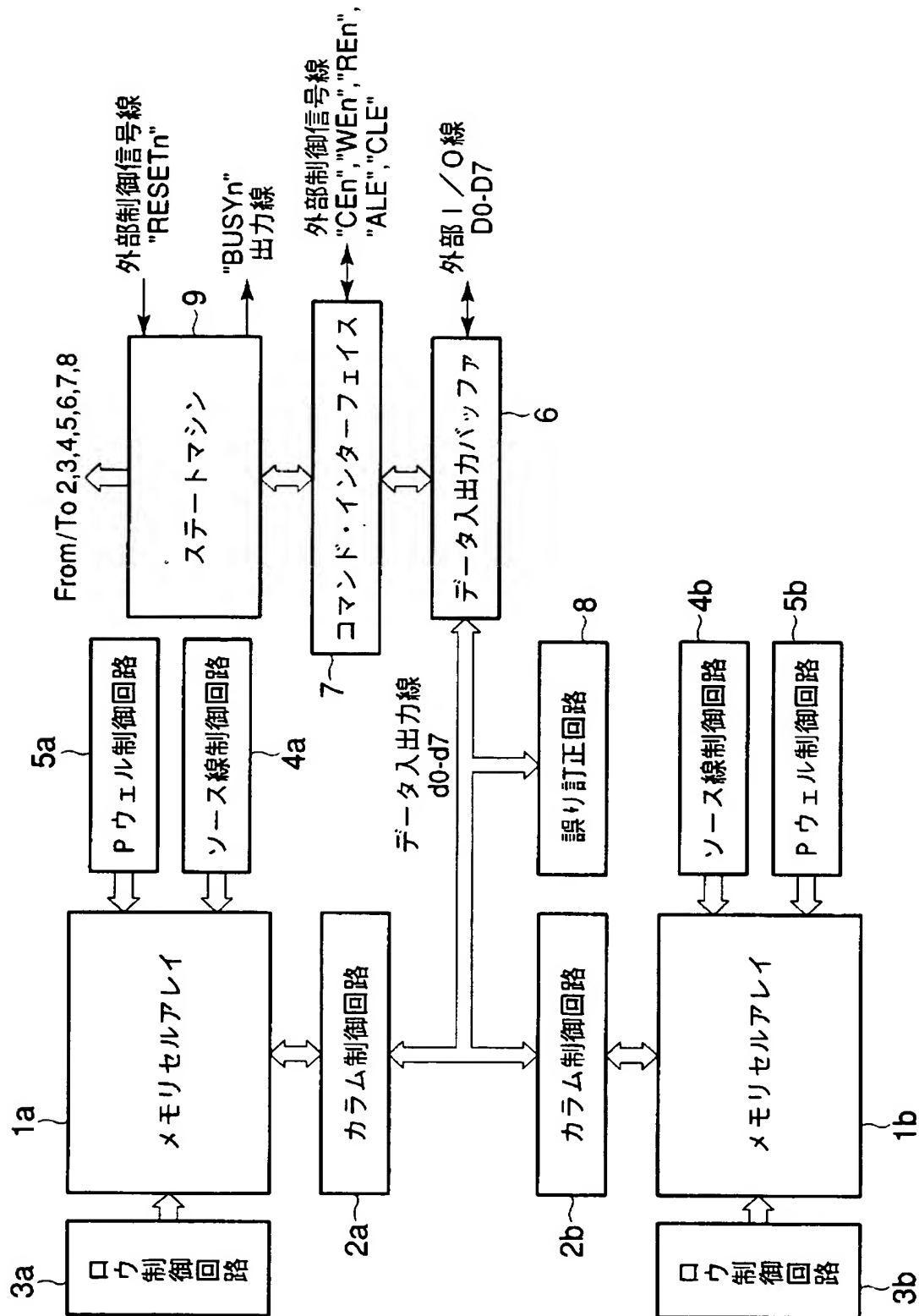
【書類名】

図面

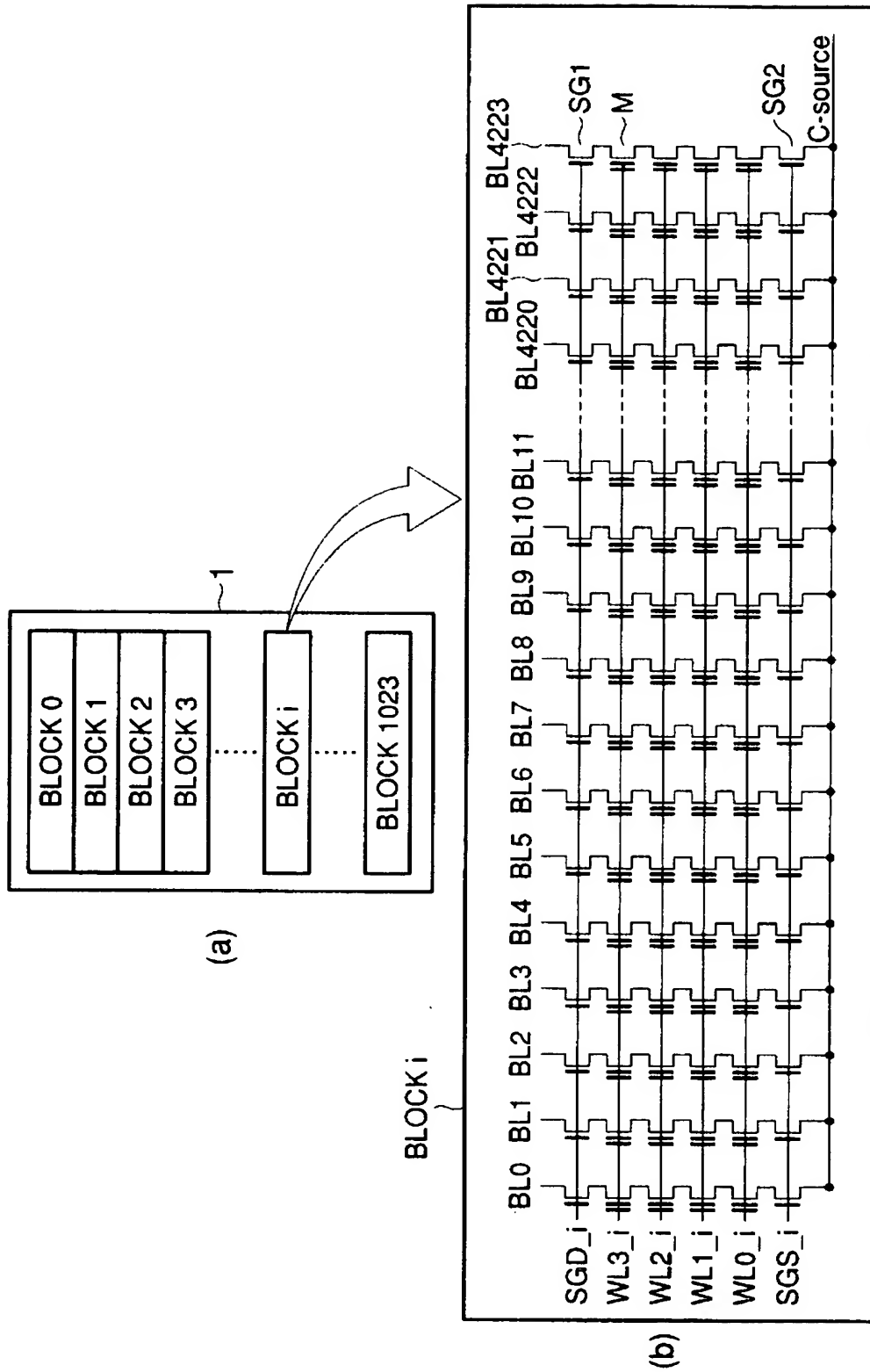
【図 1】



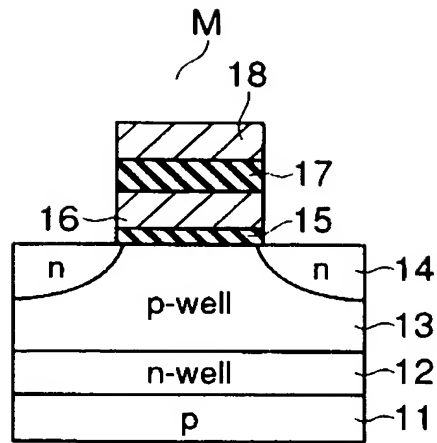
【図 2】



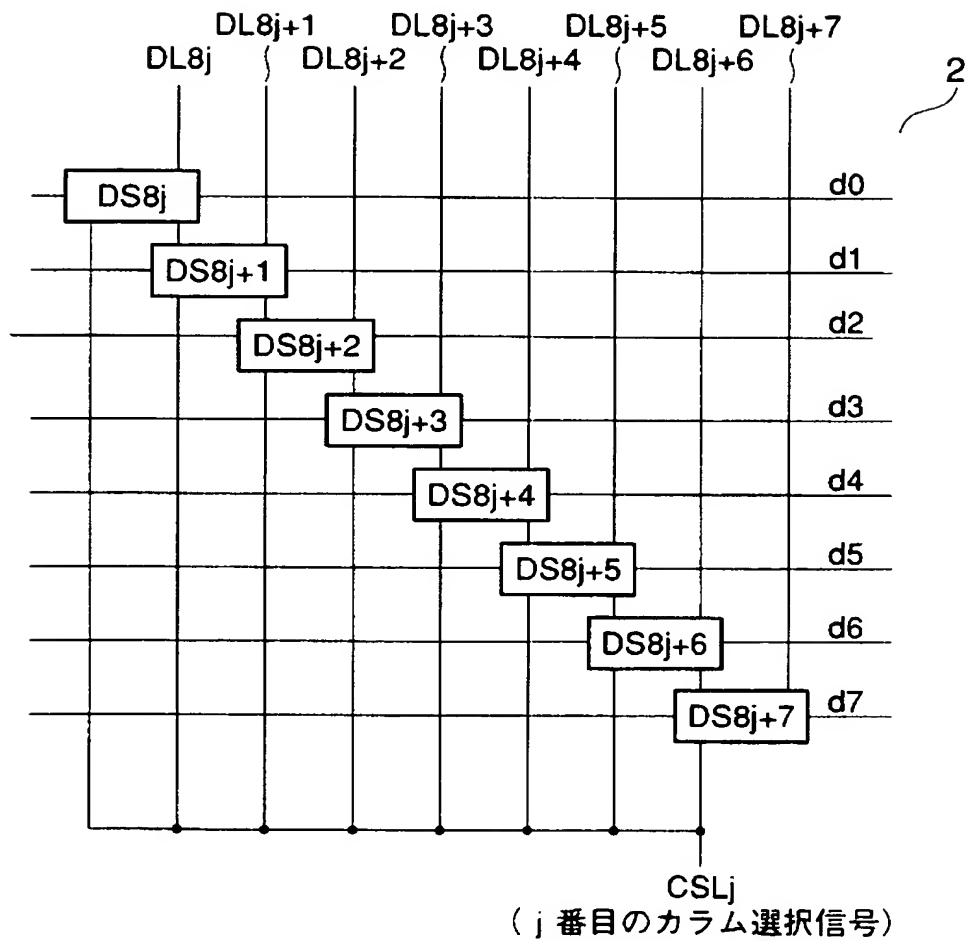
【図 3】



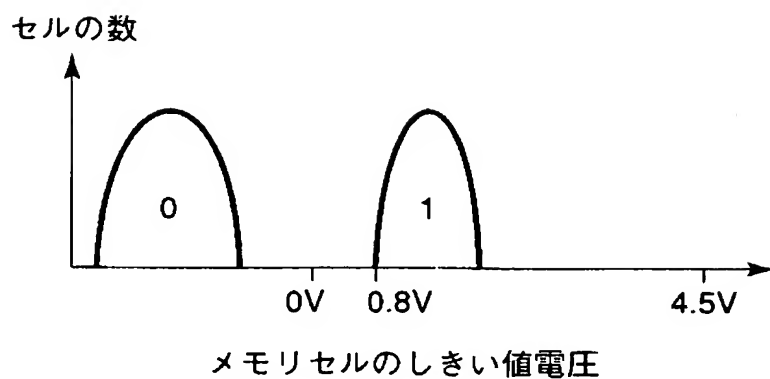
【図 4】



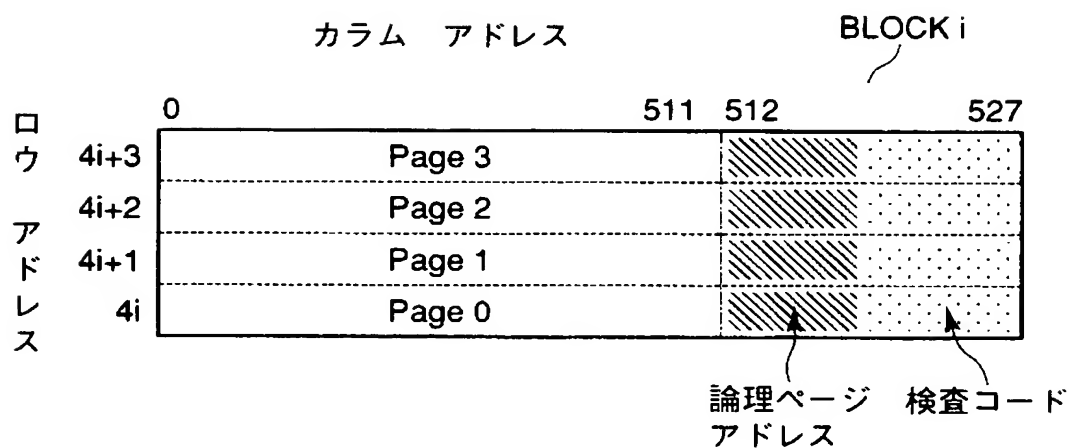
【図 5】



【図 6】



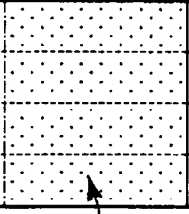
【図 7】



【図 8】

		カラム アドレス		BLOCK 0a	
		0	511	512	527
ロ ウ ア ド レ ス	3a	Page 3a		Blank	
	2a	Page 2a		Blank	
	1a	Page 1a		Blank	
	0a	Page 0a		Blank	

(a)

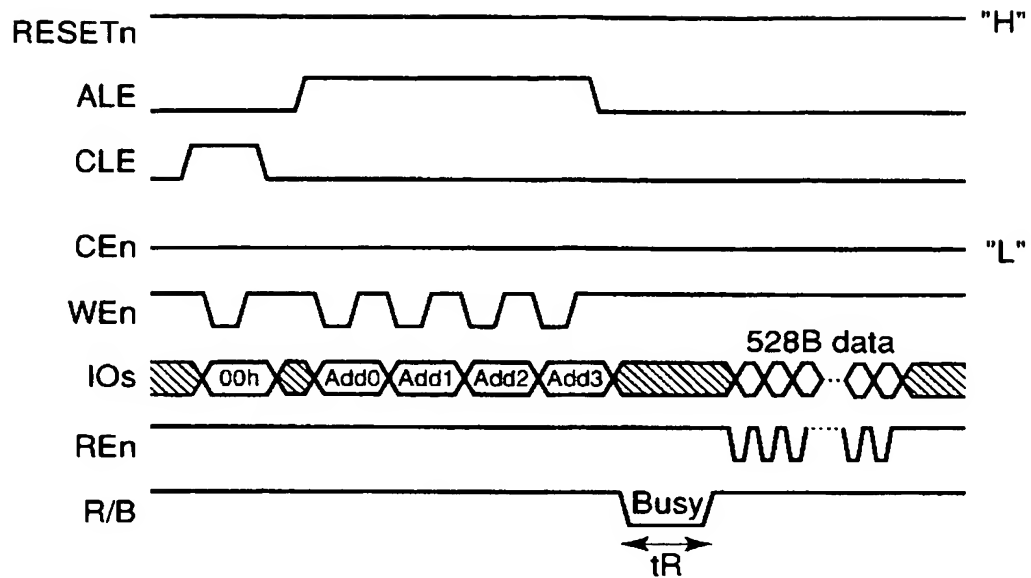
		カラム アドレス		BLOCK 0b	
		0	511	512	527
ロ ウ ア ド レ ス	3b	Page 3b			
	2b	Page 2b			
	1b	Page 1b			
	0b	Page 0b			

検査コード

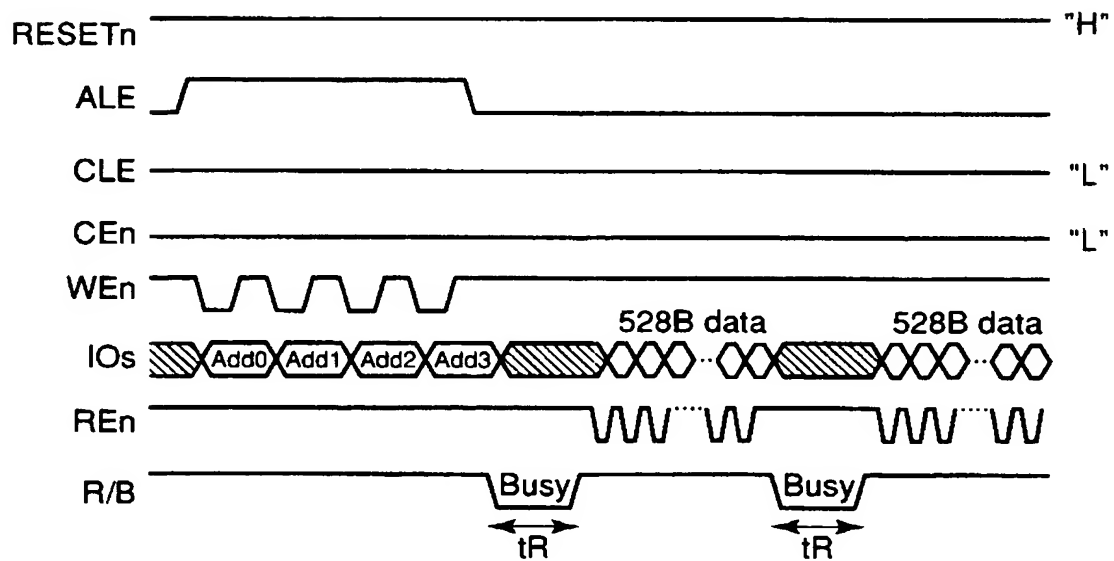
(b)



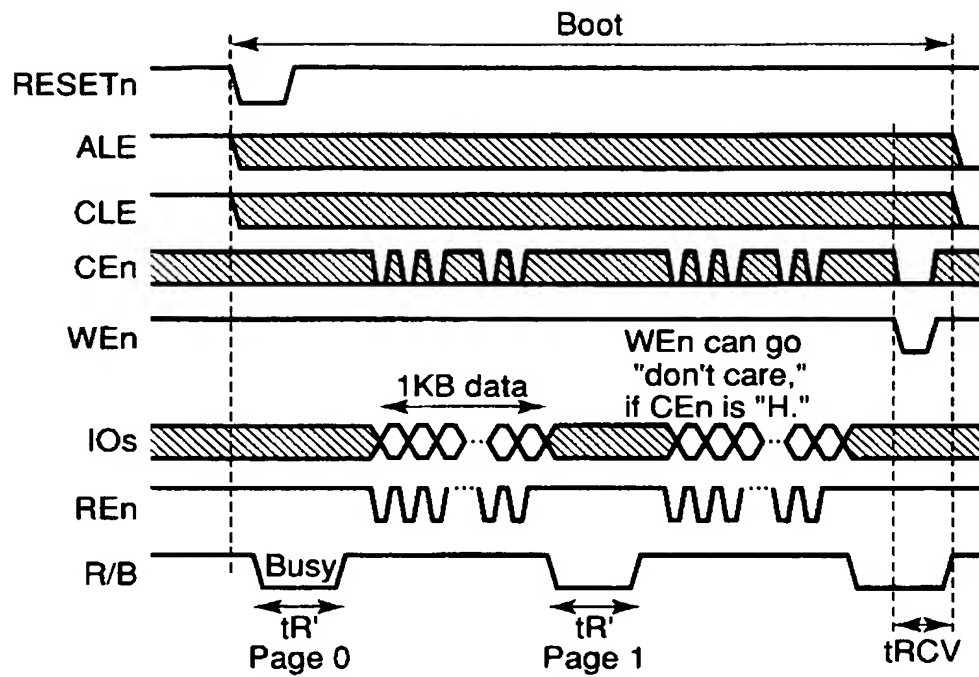
【図 9】



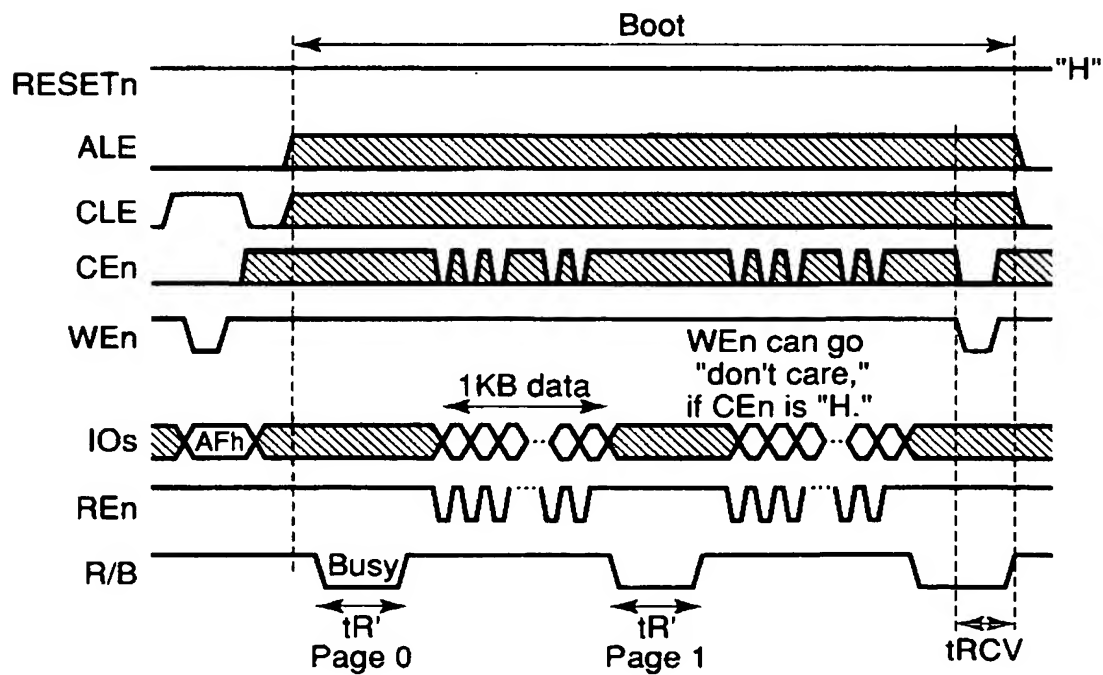
【図 10】



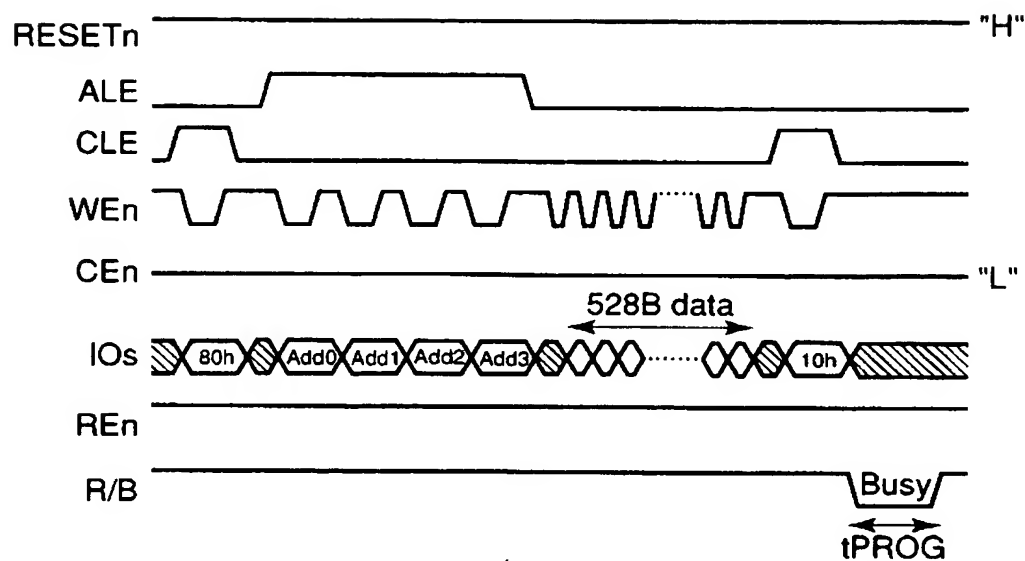
【図 1 1】



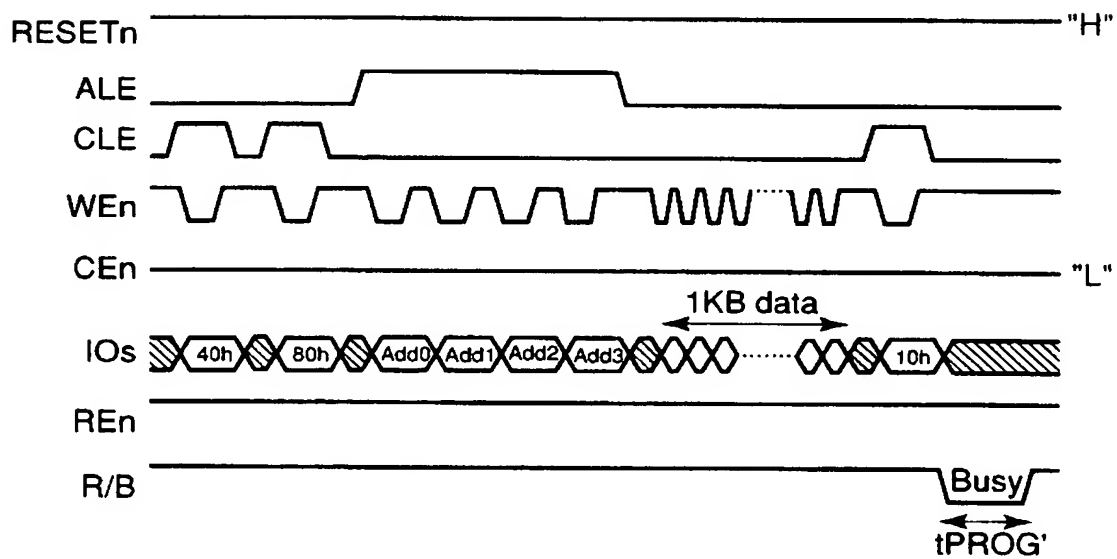
【図 1 2】



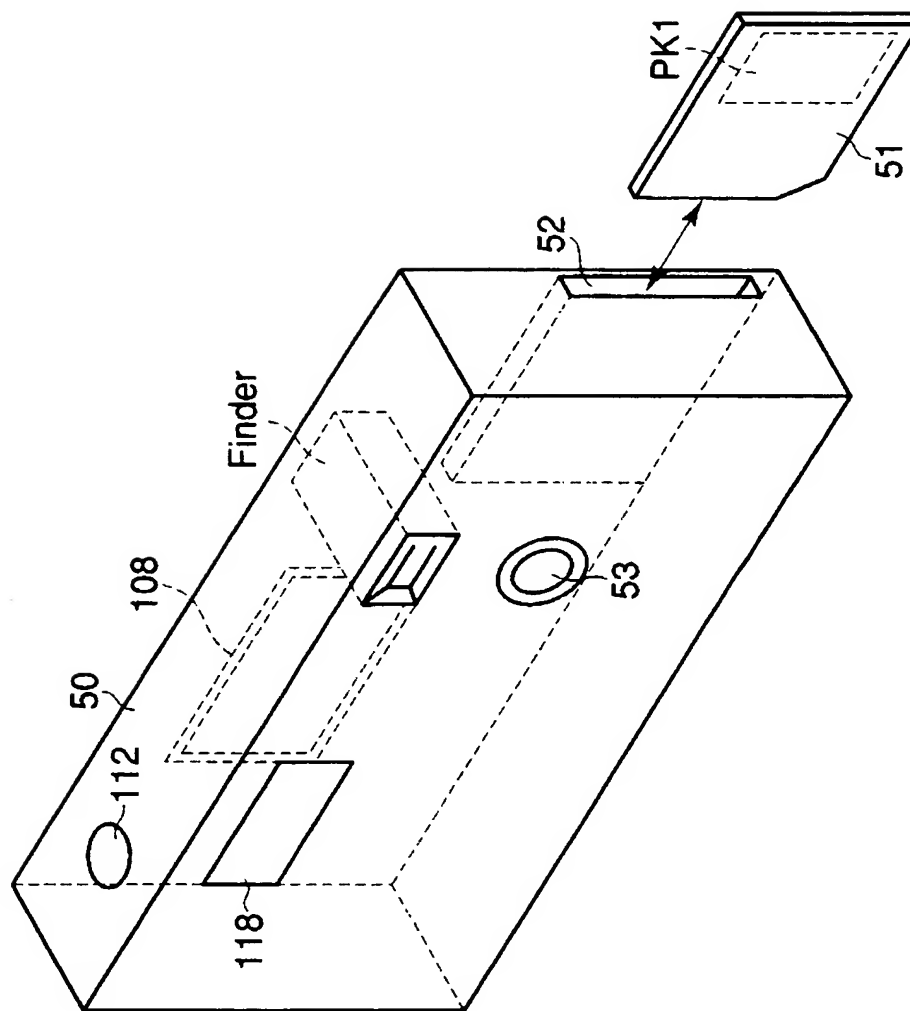
【図 13】



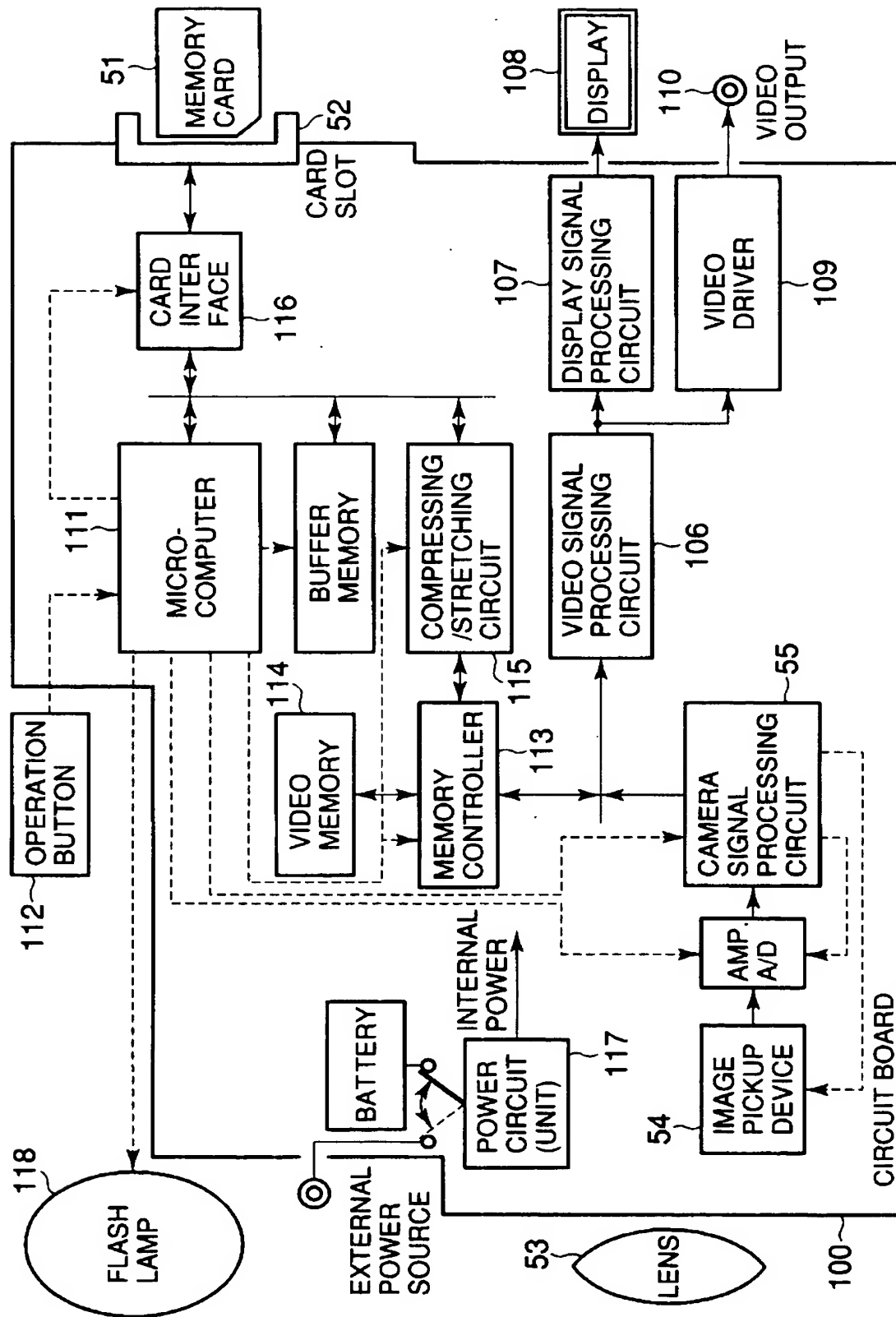
【図 14】



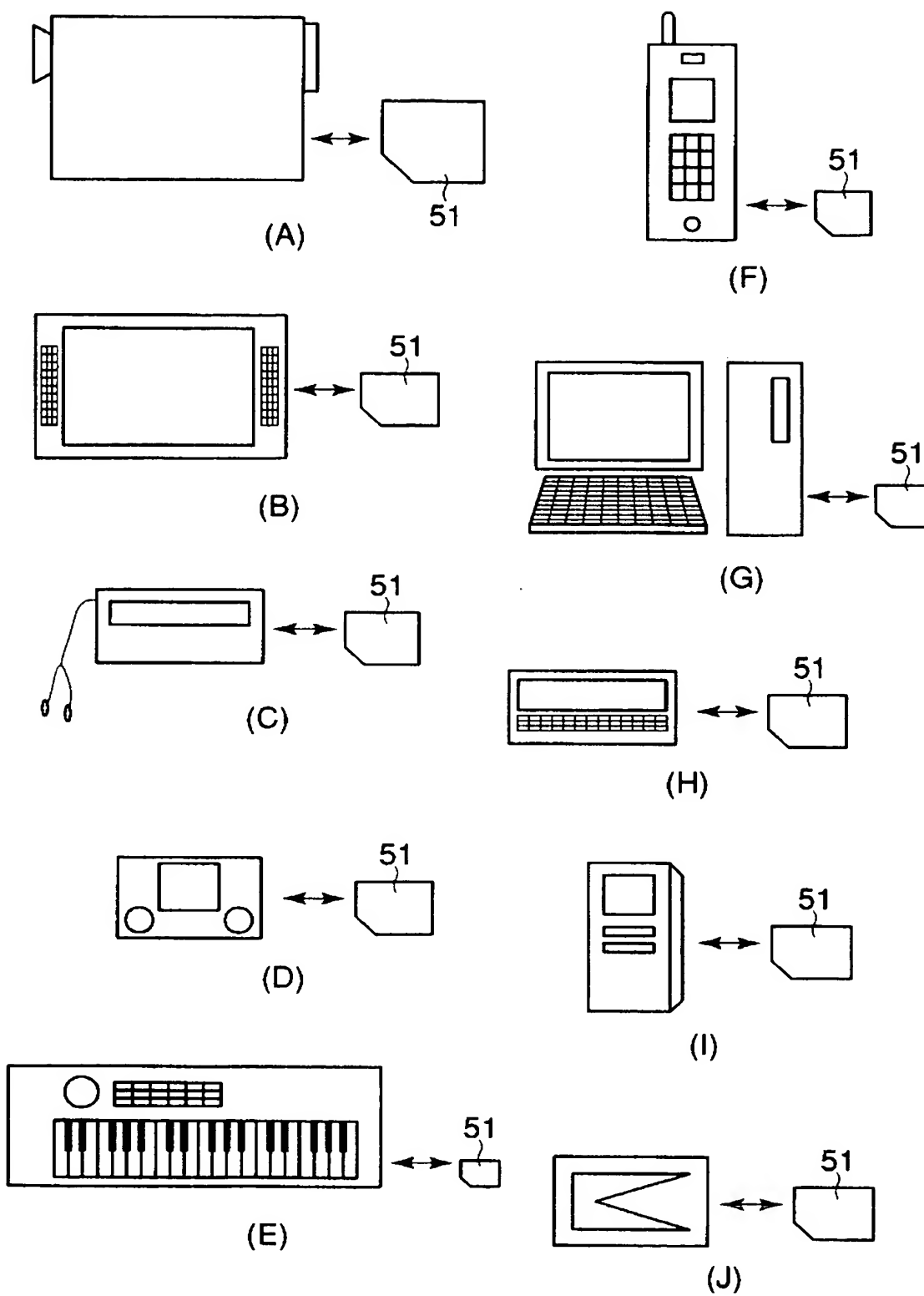
【図 15】



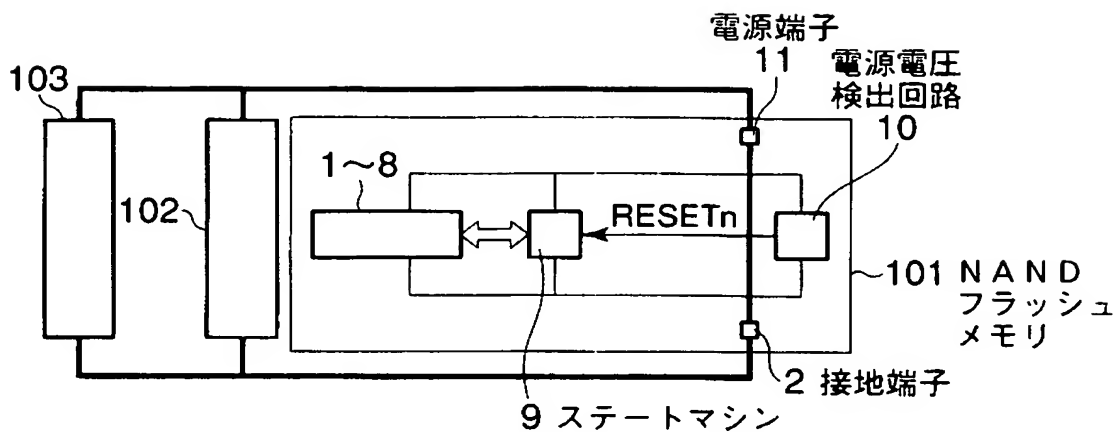
【図 16】



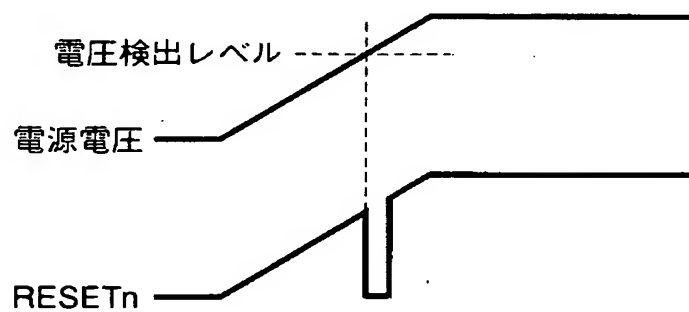
【図 17】



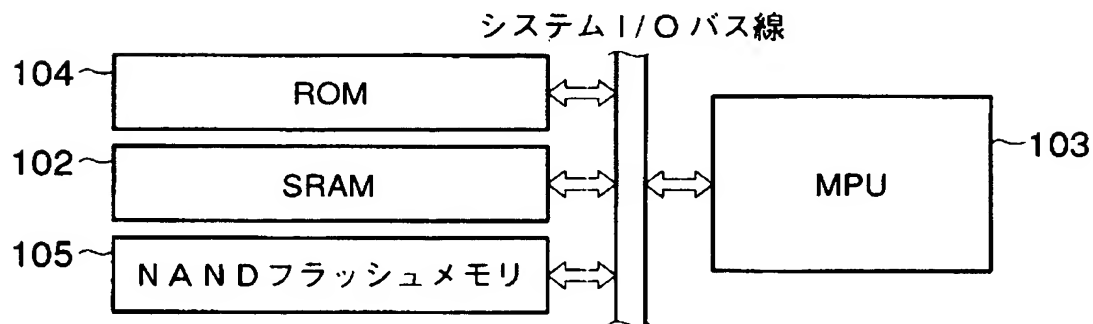
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 フラッシュメモリを用いたシステムの構成デバイス数を低減し、システムを安価に実現する。

【解決手段】 フラッシュメモリを用いたシステムをブートするためのROMに匹敵する機能をフラッシュメモリ自身に持たせる。

【選択図】 図 1



特願 2003-114762

出 願 人 履 歴 情 報

識別番号 [592012513]

1. 変更年月日 1997年 2月18日

[変更理由] 名称変更

住所変更

住 所 アメリカ合衆国、94089、カリフォルニア州、サニーベール、カスピアン コート 140

氏 名 サンディスク コーポレーション



特願 2 0 0 3 - 1 1 4 7 6 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝